

Family list

Approximately 47 application(s) for: JP2003518756T

Sorting criteria: Priority Date Inventor Applicant Ecla

1 Forming interconnects

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication AU779878 (B2) - 2005-02-17
info:

Applicant: PLASTIC LOGIC LTD

IPC: H01L21/288; H01L21/311; H01L21/312; (+16)

Priority Date: 1999-12-21

2 Solution processed devices

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+7)

Publication AU781584 (B2) - 2005-06-02
info:

Applicant: PLASTIC LOGIC LTD

IPC: H01L21/28; H01L21/311; H01L21/336; (+14)

Priority Date: 1999-12-21

3 Solution processing

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication AU781789 (B2) - 2005-06-16
info:

Applicant: PLASTIC LOGIC LTD

IPC: B05D1/36; B05D5/12; B41J2/01; (+29)

Priority Date: 1999-12-21

4 Inkjet-fabricated integrated circuits

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication AU2015901 (A) - 2001-07-03
info:

Applicant: PLASTIC LOGIC LTD

IPC: B41J2/01; H01L21/28; H01L21/288; (+19)

Priority Date: 1999-12-21

5 Solution processing

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication AU2016001 (A) - 2001-07-03
info:

Applicant: PLASTIC LOGIC LTD ; SEIKO EPSON CORP

IPC: B05D1/36; B05D5/12; B41J2/01; (+29)

Priority Date: 1999-12-21

6 Solution processed devices

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+7)

Publication AU2206601 (A) - 2001-07-03
info:

Applicant: PLASTIC LOGIC LTD

IPC: H01L21/28; H01L21/311; H01L21/336; (+14)

Priority Date: 1999-12-21

7 Forming interconnects

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication AU2206901 (A) - 2001-07-03
info:

Applicant: PLASTIC LOGIC LTD

IPC: H01L21/288; H01L21/311; H01L21/312; (+16)

Priority Date: 1999-12-21

8 SOLUTION PROCESSING

Inventor: SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication BR0016643 (A) - 2003-01-07
info:

Applicant: PLASTIC LOGIC LTD [GB] ; SEIKO EPSON CORP [JP]

IPC: B05D1/36; B05D5/12; B41J2/01; (+29)

Priority Date: 1999-12-21

9 SOLUTION PROCESSED DEVICES

- Inventor:** SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)
EC: H01L21/311C2; H01L21/768C; (+7)
Publication BR0016660 (A) - 2003-02-25
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: H01L21/28; H01L21/311; H01L21/336; (+14)
Priority Date: 1999-12-21
- 1.0 FORMING INTERCONNECTS**
- Inventor:** HENRY-FRIEND RICHARD ; WAWASE TAKEO (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication BR0016661 (A) - 2003-02-25
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: H01L21/288; H01L21/311; H01L21/312; (+16)
Priority Date: 1999-12-21
- 1.1 INKJET-FABRICATED INTEGRATED CIRCUITS**
- Inventor:** SIRRINGHAUS HENNING ; FRIEND RICHARD HENRY (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication BR0016670 (A) - 2003-06-24
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: B41J2/01; H01L21/28; H01L21/288; (+20)
Priority Date: 1999-12-21
- 1.2 SOLUTION PROCESSED DEVICES**
- Inventor:** FRIEND RICHARD HENRY [GB] ; SIRRINGHAUS HENNING [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+7)
Publication CA2394881 (A1) - 2001-06-28
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: H01L21/28; H01L21/311; H01L21/336; (+15)
Priority Date: 1999-12-21
- 1.3 INKJET-FABRICATED INTEGRATED CIRCUITS**
- Inventor:** KAWASE TAKEO [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication CA2394886 (A1) - 2001-06-28
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: B41J2/01; H01L21/28; H01L21/288; (+20)
Priority Date: 1999-12-21
- 1.4 FORMING INTERCONNECTS**
- Inventor:** FRIEND RICHARD HENRY [GB] ; KAWASE TAKEO [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication CA2394895 (A1) - 2001-06-28
info:
- Applicant:** PLASTIC LOGIC LTD [GB]
IPC: H01L21/288; H01L21/311; H01L21/312; (+17)
Priority Date: 1999-12-21
- 1.5 SOLUTION PROCESSING**
- Inventor:** FRIEND RICHARD HENRY [GB] ; SIRRINGHAUS HENNING [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication CA2395004 (A1) - 2001-06-28
info:
- Applicant:** PLASTIC LOGIC LTD [GB] ; SEIKO EPSON CORP [JP]
IPC: B05D1/36; B05D5/12; B41J2/01; (+29)
Priority Date: 1999-12-21

Data supplied from the **espacenet** database — Worldwide

Family list

Approximately 47 application(s) for: JP2003518756T

Sorting criteria: Priority Date Inventor Applicant Ecla

1.6 Solution processing

Inventor: SIRRINGHAUS H [GB]; FRIEND R H [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication CN1425202 (A) - 2003-06-18

info: CN1245769 (C) - 2006-03-15

Applicant: PLASTIC LOGIC LTD [GB]

IPC: B05D1/36; B05D5/12; B41J2/01; (+29)

Priority Date: 1999-12-21

1.7 Solution processed devices

Inventor: SIRRINGHAUS H [GB]; FRIEND R H [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+7)

Publication CN1425201 (A) - 2003-06-18

info: CN100483774 (C) - 2009-04-29

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/28; H01L21/311; H01L21/336; (+14)

Priority Date: 1999-12-21

1.8 Forming interconnects

Inventor: SIRRINGHAUS H [GB]; FRIEND R H [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication CN1425203 (A) - 2003-06-18

info: CN100379048 (C) - 2008-04-02

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/288; H01L21/311; H01L21/312; (+17)

Priority Date: 1999-12-21

1.9 Inkjet-fabricated integrated circuits

Inventor: SIRRINGHAUS H [GB]; FRIEND R H [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication CN1425204 (A) - 2003-06-18

info: CN100375310 (C) - 2008-03-12

Applicant: PLASTIC LOGIC LTD [GB]

IPC: B41J2/01; H01L21/28; H01L21/288; (+20)

Priority Date: 1999-12-21

2.0 INKJET-FABRICATED INTEGRATED CIRCUITS

Inventor: SIRRINGHAUS HENNING [GB]; FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication EP1243032 (A2) - 2002-09-25

info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: B41J2/01; H01B1/12; H01L21/28; (+22)

Priority Date: 1999-12-21

2.1 SOLUTION PROCESSING

Inventor: SIRRINGHAUS HENNING [GB]; FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication EP1243033 (A1) - 2002-09-25

info:

Applicant: PLASTIC LOGIC LTD [GB]; SEIKO EPSON CORP [JP]

IPC: B05D1/36; B05D5/12; B41J2/01; (+29)

Priority Date: 1999-12-21

2.2 SOLUTION PROCESSED DEVICES

Inventor: SIRRINGHAUS HENNING [GB]; FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+7)

Publication EP1243034 (A1) - 2002-09-25

info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/28; H01L21/311; H01L21/336; (+14)

Priority Date: 1999-12-21

2.3 FORMING INTERCONNECTS

Inventor: SIRRINGHAUS HENNING [GB]; FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication EP1243035 (A2) - 2002-09-25

info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/288; H01L21/311; H01L21/312; (+17)

Priority Date: 1999-12-21

2.4 Forming interconnects

- | | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------|
| <p>Inventor: SIRRINGHAUS HENNING ; FRIEND
 EC: RICHARD HENRY (+1)
 Publication HK1053011 (A1) - 2008-11-28
 info:</p> | <p>Applicant: PLASTIC LOGIC LTD [GB]
 IPC: H01L
 Priority Date: 1999-12-21</p> |
| 25 SEMICONDUCTOR DEVICE AND FORMING METHOD THEREOF | |
| <p>Inventor: SIRRINGHAUS HENNING ; FRIEND
 EC: RICHARD HENRY (+1)
 Publication HK1053012 (A1) - 2010-01-15
 info:</p> | <p>Applicant: PLASTIC LOGIC LTD [GB]
 IPC: H01L
 Priority Date: 1999-12-21</p> |
| 26 Inkjet-fabricated integrated circuits | |
| <p>Inventor: SIRRINGHAUS HENNING ; FRIEND
 EC: RICHARD HENRY (+1)
 Publication HK1053013 (A1) - 2008-11-28
 info:</p> | <p>Applicant: PLASTIC LOGIC LTD [GB]
 IPC: H01L
 Priority Date: 1999-12-21</p> |
| 27 Solution processing | |
| <p>Inventor: SIRRINGHAUS HENNING ; FRIEND
 EC: RICHARD HENRY (+1)
 EC: H01L21/311C2; H01L21/768C; (+8)
 Publication HK1054816 (A1) - 2006-09-29
 info:</p> | <p>Applicant: PLASTIC LOGIC LTD [GB]
 IPC: B05D1/36; B05D5/12; B41J2/01; (+28)
 Priority Date: 1999-12-21</p> |
| 28 INKJET-FABRICATED INTEGRATED CIRCUITS | |
| <p>Inventor:
 EC: H01L21/311C2; H01L21/768C; (+8)
 Publication JP2003518332 (T) - 2003-06-03
 info:</p> | <p>Applicant:
 IPC: B41J2/01; H01L21/28; H01L21/288; (+25)
 Priority Date: 1999-12-21</p> |
| 29 SOLUTION PROCESSED DEVICES | |
| <p>Inventor:
 EC: H01L21/311C2; H01L21/768C; (+7)
 Publication JP2003518754 (T) - 2003-06-10
 info:</p> | <p>Applicant:
 IPC: H01L21/28; H01L21/311; H01L21/336; (+17)
 Priority Date: 1999-12-21</p> |
| 30 FORMING INTERCONNECTS | |
| <p>Inventor:
 EC: H01L21/311C2; H01L21/768C; (+8)
 Publication JP2003518755 (T) - 2003-06-10
 info:</p> | <p>Applicant:
 IPC: H01L21/288; H01L21/311; H01L21/312; (+21)
 Priority Date: 1999-12-21</p> |

Data supplied from the *espacenet* database — Worldwide

Family list

47 application(s) for: **JP2003518756T**

Sorting criteria: Priority Date Inventor Applicant Ecla

31 SOLUTION PROCESSING

Inventor:

EC: H01L21/311C2; H01L21/768C; (+8)

Publication JP2003518756 (T) - 2003-06-10
info:

Applicant:

IPC: B05D1/36; B05D5/12; B41J2/01; (+34)

Priority Date: 1999-12-21

32 INKJET-FABRICATED INTERGRATED CIRCUITS AND METHOD FOR FORMING ELECTRONIC DEVICE

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication KR20070072579 (A) - 2007-07-04
info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: B41J2/01; H01L21/28; H01L21/288; (+19)

Priority Date: 1999-12-21

33 Solution processed devices

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC:

Publication TW229884 (B) - 2005-03-21
info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/00; H01L21/00; (IPC1-7): H01L21/00

Priority Date: 2000-04-20

34 Solution processing

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC:

Publication TW518760 (B) - 2003-01-21
info:

Methods for forming an integrated circuit and an electronic device and methods for defining an electronic circuit from an electronic device array and defining an electronic device from a substrate or an electronic device array

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC:

Publication TW552668 (B) - 2003-09-11
info:

Applicant: PLASTIC LOGIC LTD [GB]; SEIKO EPSON CORP [JP]

IPC: H01L29/78; H01L29/66; (IPC1-7): H01L29/78

Priority Date: 2000-04-20

35 Method for forming an electronic device and display device

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC:

Publication TW552668 (B) - 2003-09-11
info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/76; H01L21/70; (IPC1-7): H01L21/76

Priority Date: 2000-04-20

36 Method for forming an electronic device and display device

Inventor: SIRRINGHAUS HENNING [DE];

FRIEND RICHARD HENRY [GB] (+1)

EC:

Publication TW554476 (B) - 2003-09-21
info:

Applicant: PLASTIC LOGIC LTD [GB]

IPC: H01L21/768; H01L21/70; (IPC1-7): H01L21/768

Priority Date: 2000-04-20

37 Solution processing

Inventor: SIRRINGHAUS HENNING [GB];

KAWASE TAKEO [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication US2003059984 (A1) - 2003-03-27
info: US6808972 (B2) - 2004-10-26

Applicant: PLASTIC LOGIC LTD [US]

IPC: B05D1/36; B05D5/12; B41J2/01; (+32)

Priority Date: 1999-12-21

38 Solution processed devices

Inventor: SIRRINGHAUS HENNING [GB];

KAWASE TAKEO [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+7)

Publication US2003059975 (A1) - 2003-03-27

Applicant: PLASTIC LOGIC LTD [US]

IPC: H01L21/28; H01L21/311; H01L21/336; (+15)

Priority Date: 1999-12-21

- info: US6905906 (B2) - 2005-06-14
- 39 Forming interconnects**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication US2003060038 (A1) - 2003-03-27
info: US7098061 (B2) - 2006-08-29
Applicant: PLASTIC LOGIC LTD [US]
IPC: H01L21/288; H01L21/311; H01L21/312; (+16)
Priority Date: 1999-12-21
- 40 Inkjet-fabricated integrated circuits**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication US2003059987 (A1) - 2003-03-27
info: US7176040 (B2) - 2007-02-13
Applicant: PLASTIC LOGIC LTD [US]
IPC: B41J2/01; H01L21/28; H01L21/288; (+21)
Priority Date: 1999-12-21
- 41 Inkjet-fabricated integrated circuits**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+9)
Publication US2005026317 (A1) - 2005-02-03
info: US7572651 (B2) - 2009-08-11
Applicant: PLASTIC LOGIC LTD [US]
IPC: H01L21/00; H01L21/311; H01L21/768; (+13)
Priority Date: 1999-12-21
- 42 Solution processed devices**
Inventor: SIRRINGHAUS HENNING [GB] ; KAWASE TAKEO [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+7)
Publication US2005274986 (A1) - 2005-12-15
info: US7635857 (B2) - 2009-12-22
Applicant: PLASTIC LOGIC LTD
IPC: H01L21/28; H01L21/311; H01L21/336; (+15)
Priority Date: 1999-12-21
- 43 FORMING INTERCONNECTS**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD H [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication US2006286726 (A1) - 2006-12-21
info:
Applicant: PLASTIC LOGIC LTD
IPC: H01L21/288; H01L21/311; H01L21/312; (+18)
Priority Date: 1999-12-21
- 44 INKJET-FABRICATED INTEGRATED CIRCUITS**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+8)
Publication WO0146987 (A2) - 2001-06-28
info: WO0146987 (A3) - 2002-03-14
Applicant: PLASTIC LOGIC LTD [GB] ; SIRRINGHAUS HENNING [GB] (+2)
IPC: B41J2/01; H01L21/28; H01L21/288; (+20)
Priority Date: 1999-12-21
- 45 SOLUTION PROCESSED DEVICES**
Inventor: SIRRINGHAUS HENNING [GB] ; FRIEND RICHARD HENRY [GB] (+1)
EC: H01L21/311C2; H01L21/768C; (+7)
Publication WO0147043 (A1) - 2001-06-28
info:
Applicant: PLASTIC LOGIC LTD [GB] ; SIRRINGHAUS HENNING [GB] (+2)
IPC: H01L21/28; H01L21/311; H01L21/336; (+14)
Priority Date: 1999-12-21

Data supplied from the **espacenet** database — Worldwide

Family list

47 application(s) for: **JP2003518756T**

Sorting criteria: Priority Date Inventor Applicant ECLA

46 FORMING INTERCONNECTS

Inventor: SIRRINGHAUS HENNING [GB] ;
FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication **WO0147044 (A2)** - 2001-06-28

info: **WO0147044 (A3)** - 2001-12-06

Applicant: PLASTIC LOGIC LTD [GB] ;
SIRRINGHAUS HENNING [GB] (+2)

IPC: **H01L21/288; H01L21/311; H01L21/312;**
(+16)

Priority Date: 1999-12-21

47 SOLUTION PROCESSING

Inventor: SIRRINGHAUS HENNING [GB] ;
FRIEND RICHARD HENRY [GB] (+1)

EC: H01L21/311C2; H01L21/768C; (+8)

Publication **WO0147045 (A1)** - 2001-06-28

info: **WO0147045 (A9)** - 2002-09-06

Applicant: PLASTIC LOGIC LTD [GB] ; SEIKO
EPSON CORP [JP] (+3)

IPC: **B05D1/36; B05D5/12; B41J2/01; (+29)**

Priority Date: 1999-12-21

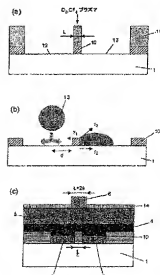
Data supplied from the **espacenet** database — Worldwide

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/288		H 0 1 L 21/288	Z 2 C 0 5 6
B 4 1 J 2/01		21/28	A 2 C 0 5 7
2/05		29/78	6 1 8 A 4 M 1 0 4
H 0 1 L 21/28		29/50	M 5 F 1 1 0
21/336		29/78	6 1 8 B
審査請求 未請求 予備審査請求 有 (全 73 頁) 最終頁に続く			
(21) 出願番号	特願2001-547679(P2001-547679)	(71) 出願人	プラスチック ロジック リミテッド イギリス国 ケンブリッジ シービー3 0 エイエクス キャッスル パーク シ ェルトン ハウス
(86) (22) 出願日	平成12年12月21日 (2000.12.21)	(71) 出願人	セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(85) 翻訳文提出日	平成14年6月21日 (2002.6.21)	(72) 発明者	ヘニング シリンガス イギリス国 ケンブリッジ シービー3 0 ディーエス チャーチル カレッジ
(86) 国際出願番号	PCT/GB 00/04942	(72) 発明者	リチャード ヘンリー フレンド イギリス国 ケンブリッジ シービー3 9 エルジー パートン ロード 37
(87) 国際公開番号	WO 01/047045	(74) 代理人	弁理士 小谷 悦司 (外 1 名)
(87) 国際公開日	平成13年6月28日 (2001.6.28)		最終頁に続く
(31) 優先権主張番号	9930217.6		
(32) 優先日	平成11年12月21日 (1999.12.21)		
(33) 優先権主張国	イギリス (GB)		
(31) 優先権主張番号	0009915.0		
(32) 優先日	平成12年4月20日 (2000.4.20)		
(33) 優先権主張国	イギリス (GB)		

(54) 【発明の名称】 溶液処理

(57) 【要約】

複数の領域に導電性材料あるいは半導電性材料を含む電子素子を基板上に形成する方法であって、この素子の動作は、第1の領域から第2の領域への電流を使用し、この方法は、この材料を液体と混合することによって混合物を形成し、この基板の第1の領域の第1のゾーンと、この基板の第2の領域の第2のゾーンであって、この第1のゾーンがこの第2のゾーンよりも大きいこの混合物に対する撥水性を有すること、この第1の領域だけこの第2の領域から隔離されたこの基板の第3の領域の第3のゾーンとを含む閉じ込め構造をこの基板上に形成することであって、この第1のゾーンがこの第3のゾーンよりも大きいこの混合物に対する撥水性を有すること、この基板の上にこの混合物を塗布することによってこの材料をこの基板上に付着することを含み、それによってこの付着された材料が、この素子のこの第1および第2の領域を規定し、かつこの第1のゾーンの相対的な撥水性によってその平面で電気的に分離される領域を離隔され、かつこの付着された材料の離隔された領域間に第1のゾーンを横切る電流に抵抗するようにこの基板



【特許請求の範囲】

【請求項 1】 複数の領域に導電性材料あるいは半導電性材料を含む電子素子を基板上に形成する方法であって、前記素子の動作が、第 1 の領域から第 2 の領域への電流を使用するものにおいて、前記方法が、

前記材料を液体と混合することによって混合物を形成し、

前記基板の第 1 の領域の第 1 のゾーンと、前記基板の第 2 の領域の第 2 のゾーンであって、前記第 1 のゾーンが前記第 2 のゾーンよりも大きい前記混合物に対する撥水性を有することと、前記第 1 の領域だけ前記第 2 の領域から隔離された前記基板の第 3 の領域の第 3 のゾーンとを含む閉じ込め構造を前記基板上に形成することであって、前記第 1 のゾーンが前記第 3 のゾーンよりも大きい前記混合物に対する撥水性を有することと、

前記基板の上に前記混合物を塗布することによって前記材料を前記基板上に付着することを含み、

それによって前記付着された材料が、前記素子の前記第 1 および第 2 の領域を規定し、かつ前記第 1 のゾーンの相対的な撥水性によってその平面で電氣的に分離される領域を隔離され、かつ前記付着された材料の隔離された領域間に前記第 1 のゾーンの横切る電流に抵抗するように前記基板の前記第 1 の領域がないように前記第 1 のゾーンの相対的な撥水性によって制限できることを特徴とする複数の領域に導電材料あるいは半導電性材料を含む電子素子を基板上に形成する方法

。

【請求項 2】 前記第 2 の領域と前記第 3 の領域との間の前記第 1 の領域の幅が $20\mu\text{m}$ よりも小さいことを特徴とする請求項 1 記載の方法。

【請求項 3】 前記第 2 の領域と前記第 3 の領域との間の前記第 1 の領域の幅が $10\mu\text{m}$ よりも小さいことを特徴とする請求項 1 記載の方法。

【請求項 4】 前記隔離領域に形成された前記材料が、トランジスタのソース電極およびドレイン電極を形成することを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 5】 前記隔離領域間の空間に他の材料を付着するステップを含むことを特徴とする請求項 4 記載の方法。

【請求項6】 前記離隔領域間の前記空間に付着された他の材料が、前記トランジスタのチャンネルを形成することを特徴とする請求項5記載の方法。

【請求項7】 前記第1の材料が導電性であり、かつ前記他の材料が半導電性であることを特徴とする請求項6記載の方法。

【請求項8】 前記他の材料がポリマー材料であることを特徴とする請求項6乃至7のいずれかに記載の方法。

【請求項9】 前記他の材料が溶液から付着されることを特徴とする請求項5乃至8のいずれかに記載の方法。

【請求項10】 前記他の材料が、前記第1のゾーンによって実質的に撥水されない液体の溶液から付着されることを特徴とする請求項8記載の方法。

【請求項11】 複数の領域に導電性材料あるいは半導電性材料を含む電子スイッチング素子を基板上に形成する方法であって、

前記材料と液体とを混合することによって混合物を形成し、

前記基板の第1の領域の第1のゾーンと、前記基板の第2の領域の第2のゾーンであって、前記第1のゾーンが前記第2のゾーンよりも大きい前記混合物に対する撥水性を有することと、前記第1の領域だけ前記第2の領域から隔離された前記基板の第3の領域の第3のゾーンとを含む閉じ込め構造を前記基板上に形成することであって、前記第1のゾーンが前記第3のゾーンよりも大きい前記混合物に対する撥水性を有することと、

前記基板の上に前記混合物を塗布することによって前記材料を前記基板上に付着することを含み、

それによって前記付着された材料が、前記第1および第3のゾーンの相対的な撥水性によって前記第2のゾーンに制限できることを特徴とする複数の領域に導電材料あるいは半導電性材料を含む電子スイッチング素子を基板上に形成する方法。

【請求項12】 前記第2のゾーンの幅が $20\mu\text{m}$ よりも小さいことを特徴とする請求項11記載の方法。

【請求項13】 前記第2のゾーンの幅が $10\mu\text{m}$ よりも小さいことを特徴とする請求項11記載の方法。

【請求項 1 4】 前記材料が導電性であることを特徴とする請求項 1 1 乃至 1 3 のいずれかに記載の方法。

【請求項 1 5】 前記材料が内部接続部を形成することを特徴とする請求項 1 4 記載の方法。

【請求項 1 6】 前記材料が、前記素子の隣接領域間の電流に影響を及ぼすことができる電圧を前記トランジスタの制御電極に形成することを特徴とする請求項 1 4 記載の方法。

【請求項 1 7】 前記材料がトランジスタのゲート電極を形成することを特徴とする請求項 1 4 あるいは 1 6 記載の方法。

【請求項 1 8】 前記トランジスタの前記ゲート電極とソース電極およびドレイン電極それぞれとの間の重複領域の幅が $20\text{ }\mu\text{m}$ よりも小さいことを特徴とする請求項 1 7 記載の方法。

【請求項 1 9】 前記トランジスタの前記ゲート電極とソース電極およびドレイン電極それぞれとの間の重複領域の幅が $10\text{ }\mu\text{m}$ よりも小さいことを特徴とする請求項 1 7 記載の方法。

【請求項 2 0】 前記基板の表面が、自己組み立て単層によって与えられ、かつ前記第 1 および第 2 のゾーンの少なくとも 1 つが自己組み立て単層のパターン化によって規定されることを特徴とする請求項 1 1 乃至 1 9 のいずれかに記載の方法。

【請求項 2 1】 自己組み立て単層をパターン化するステップが、シャドウマスクを通る光にさらすことによって実行されることを特徴とする請求項 2 0 記載の方法。

【請求項 2 2】 自己組み立て単層をパターン化するステップが、前記基板を軟らかいスタンプと接触させることによって実行されることを特徴とする請求項 2 1 記載の方法。

【請求項 2 3】 前記第 1 および第 2 のゾーンが、平面構造部材上に附着される層の露光表面上に形成されることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 2 4】 前記第 1 の領域の前記混合物の接触角が、前記第 2 の領域

の前記混合物の前記接触角より 20° だけ大きいことを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 25】 前記第 1 の領域の前記混合物の接触角が、前記第 2 の領域の前記混合物の前記接触角より 40° だけ大きいことを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 26】 前記第 1 の領域の前記混合物の接触角が、前記第 2 の領域の前記混合物の前記接触角より 80° だけ大きいことを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 27】 前記基板の表面が、自己組み立て単層によって与えられ、かつ前記第 1 および第 2 のゾーンの少なくとも 1 つが自己組み立て単層のパターン化によって規定されることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 28】 自己組み立て単層をパターン化するステップが、シャドウマスクを通る光にさらすことによって実行されることを特徴とする請求項 27 記載の方法。

【請求項 29】 自己組み立て単層をパターン化するステップが、前記基板を軟らかいスタンプと接触させることによって実行されることを特徴とする請求項 27 記載の方法。

【請求項 30】 前記基板の表面が、非極性材料によって与えられ、かつ前記第 1 および第 2 のゾーンの少なくとも 1 つが前記非極性ポリマーの表面処理によって規定されることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 31】 非極性材料がポリイミドであることを特徴とする請求項 30 記載の方法。

【請求項 32】 前記ポリイミドの分子アライメントを促進するために前記ポリイミドを機械的にこするステップを含むことを特徴とする請求項 31 記載の方法。

【請求項 33】 前記ポリイミドの分子アライメントを促進するために前記ポリイミドを光学的に処理するステップを含むことを特徴とする請求項 31 記載の方法。

【請求項 3 4】 前記表面処理がエッチングであることを特徴とする請求項 3 0 記載の方法。

【請求項 3 5】 前記表面処理がプラズマ処理であることを特徴とする請求項 3 0 記載の方法。

【請求項 3 6】 前記プラズマが、四弗化炭素および／または酸素プラズマであることを特徴とする請求項 3 5 記載の方法。

【請求項 3 7】 前記表面処理が、紫外線光にさらすことを含むことを特徴とする請求項 3 0 記載の方法。

【請求項 3 8】 前記ゾーンの前記 1 つが前記第 2 のゾーンであることを特徴とする請求項 3 0 乃至 3 7 のいずれかに記載の方法。

【請求項 3 9】 前記第 1 のゾーンが、前記半導電性材料あるいは導電性材料の整列分子構造を誘起することを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 0】 前記第 1 のゾーンが、前記導電性ポリマーあるいは半導電性ポリマーにポリマーチェーンのアライメントを誘起できることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 1】 前記第 1 のゾーンが、前記第 1 のゾーンの上に付着されたポリマー材料のチェーンのアライメントを誘起できることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 2】 前記アライメントが、前記第 2 および第 3 のゾーン間に延びる方向にあることを特徴とする請求項 4 0 記載の方法。

【請求項 4 3】 前記チェーンが、前記他の材料のチェーンであることを特徴とする請求項 5 に直接あるいは間接に従属する請求項 4 1 記載の方法。

【請求項 4 4】 前記導電性ポリマーあるいは半導電性ポリマーがドロップレット付着によって付着されることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 5】 前記導電性ポリマーあるいは半導電性ポリマーがインクジェット印刷によって付着されることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 6】 前記ゾーンの少なくとも 1 つの幅が、前記インクジェット印刷ステップで形成されるドロップレット直径より小さいことを特徴とする請求項 4 4 あるいは 4 5 記載の方法。

【請求項 4 7】 前記第 1 および第 2 のゾーン間の境界が光学的に異なっていて、かつ前記方法が、前記第 1 および第 2 のゾーン間の境界を検出し、かつこの検出に応じてインクジェット印刷素子を前記基板に対して位置決めするステップを含むことを特徴とする請求項 4 5 あるいは 4 6 に記載の方法。

【請求項 4 8】 前記第 1 の材料がポリマーであることを特徴とする前述の請求項のいずれかに記載の方法。

【請求項 4 9】 前記第 1 の材料が共役ポリマーであることを特徴とする請求項 1 乃至 4 4 のいずれかに記載の方法。

【請求項 5 0】 前記第 1 の材料が、前記液体で懸濁できる無機微粒子であることを特徴とする請求項 1 乃至 4 8 のいずれかに記載の方法。

【請求項 5 1】 前述の請求項のいずれかの方法によって形成されたロジック回路、ディスプレイ素子あるいはメモリ素子。

【請求項 5 2】 前述の請求項のいずれかの方法によって形成された複数のトランジスタのアクティブマトリックスアレイを含むロジック回路、ディスプレイ素子あるいはメモリ素子。

【発明の詳細な説明】

【0001】

本発明は、溶液処理された素子およびそのような素子を形成する方法に関するものである。

【0002】

半導電性共有ポリマー薄膜トランジスタ (TFT) は、最近、プラスチック基板上に集積された安価な、論理回路 (C. Dury, et. al., APL73, 108(1998)) および高解像度アクティブマトリックスディスプレイの光電集積回路およびピクセルトランジスタスイッチ (H. Sirringhaus, et al., Science 280, 1741(1998), A. Dodabalapur, et al., Appl. Phys. Lett. 73, 142(1998)) の応用により、関心が持たれるようになった。ポリマー半導体および無機金属電極ならびにゲート誘電層を有する構成のテスト素子では、高性能TFTが実証された。アモルファスシリコンTFTの性能に匹敵できる最高の $0.1 \text{ cm}^2/\text{Vs}$ および $10^6 \sim 10^8$ のオン・オフ電流比の電荷キャリア移動性に到達した (H. Sirringhaus, et al., Adv. in Solid State Physics 39, 101(1999))。

【0003】

共役のポリマー半導体の薄い素子特性膜は、有機溶剤中において、ポリマーの溶液を被覆することによって基板上に形成することができる。したがって、この技術は、理想的には、安価で、領域が広く、可撓性のプラスチック基板に対して化学反応を起こさない溶液処理に適している。潜在的なコストおよび処理の容易さといった長所を充分利用するために、半導電性層、誘電層ならびに導電電極および内部接続部を含む素子の全構成要素が溶液から析出されることが望ましい。

【0004】

全ポリマーTFT素子および回路を製造するために、下記の主要な問題が解決されねばならない。

一 多層構造の一貫性：次の半導電性層、絶縁層および／または導電性層の溶液塗布中に、その下にある層は、次の層の析出のために使用される溶剤によって溶解または膨張されるべきでない。もしも溶剤が下にある層の中に混入された場合

、一般的にその層の特性の劣化を引き起こす膨張が生じる。

一 電極の高分解能パターン化：明確に規定された内部接続部およびチャネル長 $L \leq 10 \mu m$ を有するTFTチャネルを形成するために導電体層をパターン化する必要がある。

一 TFT回路を製造するために、垂直内部接続領域（ビアホール）は、素子の異なる複数の層における複数の電極を電気的に接続するように形成される必要がある。

【0005】

WO 99/10939 A2では、素子の次の層を析出するに先立って、溶液処理された層を不溶性の状態に変換することによって、全てがポリマーのTFTを製造する方法が実証されている。これは、下にある層の溶解および膨張の問題を解決している。しかしながら、この問題は、使用できる半導電性材料の選択を、小さく、かついくつかの点で望ましくない種類の前駆体ポリマーに限定してしまう。さらに、誘電体ゲート絶縁層の架橋結合は、誘電体層を貫通するビアホールの製造を困難にするので、機械的パンチングのような技術が使用されている(WO 99/10939 A1)。

【0006】

本発明の1つの態様によれば、複数の領域に導電性材料あるいは半導電性材料を含む電子素子を基板上に形成する方法が提供され、この素子の動作は、第1の領域から第2の領域への電流を使用し、この方法は、この材料を液体と混合することによって混合物を形成し、この基板の第1の領域の第1のゾーンと、この基板の第2の領域の第2のゾーンであって、この第1のゾーンはこの第2のゾーンよりも大きいこの混合物に対する撥水性を有することと、この第1の領域だけこの第2の領域から隔離されたこの基板の第3の領域の第3のゾーンとを含む閉じ込め構造をこの基板上に形成することであって、この第1のゾーンはこの第3のゾーンよりも大きいこの混合物に対する撥水性を有することと、この基板の上にこの混合物を塗布することによってこの材料をこの基板上に付着することを含み、それによってこの付着された材料は、この素子のこの第1および第2の領域を規定し、かつこの第1のゾーンの相対的な撥水性によってその平面で電気的に

分離される領域を隔離され、かつこの付着された材料の隔離された領域間にこの第1のゾーンを横切る電流に抵抗するようにこの基板のこの第1の領域がないようにこの第1のゾーンの相対的な撥水性によって制限できる。

【0007】

本発明の他の態様によれば、複数の領域に導電性材料あるいは半導電性材料を含む電子スイッチング素子を基板上に形成する方法が提供され、この方法は、この材料と液体とを混合することによって混合物を形成し、この基板の第1の領域の第1のゾーンと、この基板の第2の領域の第2のゾーンであって、この第1のゾーンはこの第2のゾーンよりも大きいこの混合物に対する撥水性を有することと、この第1の領域だけこの第2の領域から隔離されたこの基板の第3の領域の第3のゾーンとを含む閉じ込め構造をこの基板上に形成することであって、この第1のゾーンはこの第3のゾーンよりも大きいこの混合物に対する撥水性を有することと、この基板の上にこの混合物を塗布することによってこの材料をこの基板上に付着することを含み、それによってこの付着された材料は、この第1および第3のゾーンの相対的な撥水性によってこの第2のゾーンに制限できる。

【0008】

第2および第3の領域間の第1の領域の幅は、適度には $20\mu\text{m}$ よりも小さく、好ましくは $10\mu\text{m}$ よりも小さい。隔離された領域に形成された材料は、適度にはトランジスタのソース電極およびドレイン電極を形成する。

【0009】

この方法は、適度には隔離領域間の空間に他の材料を付着するステップを含む。隔離領域間の空間に付着される他の材料は、トランジスタのチャネルを形成してもよい。第1の材料は、導電性であってもよく、他の材料は半導電性であってもよい。この他の材料はポリマー材料であってもよい。他の材料は、溶液、第1のゾーンによって実質的に撥水されない液体の溶液から付着されてもよい。

【0010】

第2のゾーンの幅は、適度には $20\mu\text{m}$ よりも小さい。この第2のゾーンの幅は、適度には $10\mu\text{m}$ よりも小さい。第2のゾーンに付着された材料は適度には導電性である。このような材料は、適度には内部接続部を形成する。

【0011】

トランジスタのゲート電極とソース電極およびドレイン電極のそれぞれとの間の重複領域の幅は好ましくは $20\mu\text{m}$ よりも小さい。

【0012】

トランジスタのゲート電極とソース電極およびドレイン電極のそれぞれとの間の重複領域の幅は好ましくは $10\mu\text{m}$ よりも小さい。

【0013】

基板の表面は、自己組み立て単層によって与えられてもよく、第1および第2のゾーンの少なくとも1つは自己組み立て単層のパターン化によって規定されてもよい。

【0014】

自己組み立て単層をパターン化するステップは、シャドウマスクを通る光にさらすことによって実行されてもよい。

【0015】

自己組み立て単層をパターン化するステップは、基板を軟らかいスタンプと接触させることによって実行されてもよい。

【0016】

第1および第2のゾーンは、平面構造部材上に付着される層の露光表面上に形成されてもよい。

【0017】

第1の領域の混合物の接触角は、適度には 20° 、 40° あるいは 80° だけ第2の領域の混合物の接触角よりも大きい。

【0018】

基板の表面は、自己組み立て単層によって与えられ、第1および第2のゾーンの少なくとも1つは自己組み立て単層のパターン化によって規定される前述の請求項のいずれかに記載の方法。

【0019】

自己組み立て単層をパターン化するステップは、適度にはシャドウマスクを通る光にさらすことによって実行される。

【0020】

自己組み立て単層をパターン化するステップは、基板を軟らかいスタンプと接触させることによって実行される。

【0021】

基板の表面は、非極性材料によって与えられ、第1および第2のゾーンの少なくとも1つは非極性ポリマーの表面処理によって規定される前述の請求項のいずれかに記載の方法。

【0022】

この非極性材料はポリイミドであってもよい。

【0023】

この方法は、ポリイミドの分子アライメントを促進するためにポリイミドを機械的にこするかあるいはその他表面処理するステップを含んでもよい。

【0024】

この方法は、ポリイミドの分子アライメントを推進するためにポリイミドを光学的に処理するステップを含んでもよい。

【0025】

表面処理はエッチングであってもよい。表面処理はプラズマ処理であってもよい。このプラズマは好ましくは四弗化炭素および／または酸素プラズマである。

【0026】

この表面処理は紫外線光にさらすことを含んでもよい。

【0027】

好ましくは、このゾーンの1つは第2のゾーンである。

【0028】

第1のゾーンは、半導電性材料あるいは導電性材料の整列分子構造を誘起してもよいし、あるいは誘起できてもよい。

【0029】

第1のゾーンは、最も好ましくは、導電性ポリマーあるいは半導電性ポリマーにポリマーチェーンのアライメントを誘起できる。

【0030】

第1のゾーンは、適度には第1のゾーンの上に付着されるポリマー材料のチェーンのアライメントを誘起できる。

【0031】

アライメントは、好ましくは第2および第3のゾーン間に延びる方向である。

【0032】

好ましくは、チェーンは他の材料のチェーンである。

【0033】

好ましくは、導電性ポリマーあるいは半導電性ポリマーはドロップレット付着によって付着される。

【0034】

好ましくは、導電性ポリマーあるいは半導電性ポリマーはインクジェット印刷によって付着される。

【0035】

好ましくは、ゾーンの少なくとも1つの幅は、インクジェット印刷ステップで形成されたドロップレット直径よりも小さい。

【0036】

好ましくは、第1および第2のゾーン間の境界は光学的に異なり、かつこの方法は、第1および第2のゾーン間の境界を光学的に検出し、この検出に応じてインクジェット印刷素子を基板に対して位置決めするステップを含む。

【0037】

第1の材料は、ポリマー、好ましくは共役ポリマーであってもよい。第1の材料は、液体で懸濁できる無機微粒子材料であってもよい。

【0038】

本発明の他の態様によれば、前述の請求項のいずれかの方法によって形成されるロジック回路、ディスプレイ素子あるいはメモリ素子が提供される。

【0039】

本発明の他の態様によれば、前述の請求項のいずれかの方法によって形成される複数のトランジスタのアクティブマトリックスアレイを含むロジック回路、ディスプレイ素子あるいはメモリ素子が提供される。

【0040】

次に、本発明は添付図面を参照して例として説明される。

【0041】

ここに示されている好ましい製造方法は、いずれの層も不溶性形式に変換あるいは架橋されない全有機溶液処理された薄膜トランジスタの製造を可能にする。このような素子の各層は、その溶液中からその層が析出される溶液中の溶剤によって溶解されうる形式のままであってもよい。下記に詳述されるように、これは、溶剤の局所的な付着により誘電体絶縁層を貫通するビアホールを製造を容易にする。

【0042】

このような素子は、例えば、1つまたはそれ以上の以下の構成素子を備え得る。

- 。 - パターン化された導電性ソースドレインおよびゲート電極および内部接続。
- 。 - $0.01\text{ cm}^2/\text{Vs}$ より大きい荷電キャリア移動性を有する半導電性層および 10^4 より大きい高オン・オフ電流スイッチング比。
- 薄膜ゲート絶縁層。
- 不純物およびイオン拡散による意図せぬドーピングから半導電性層および絶縁層を保護する拡散障壁層。
- プリント技術によるゲート電極の高解像度パターンニングを可能とする表面改良層。
- 誘電体層を貫通して内部接続するためのビアホール。

【0043】

しかしながら、ここに記載した方法は、上に述べたすべての特徴を備える素子の製造に制限されるものでないことは理解できるであろう。

【0044】

第1実施例の素子の製造について図1を参照しながら説明する。図1の素子は、トップゲート構造を有するように構成された薄膜電界効果トランジスタ（TFT）である。

【0045】

導電性ポリマーポリエチレンジオキシチオフェン/ポリスチロルスフオネート (PEDOT (0.5重量パーセント)/PSS (0.8重量パーセント)) からなる水溶液をインクジェット印刷することによって、洗浄した7059ガラス基板1の上にソースドレイン電極2、3および電極と接触パッド(図示せず)との間の内部接続線を析出させる。インクの表面張力、粘度、および湿潤性に影響を与えるためにメタノール、エタノール、イソプロパノール、またはアセトンといった他の溶剤を添加してもよい。PEDOT/PSSはバイエル社のものが市販されている("Baytron P"として入手できる)。インクジェット(IJP)プリンタは圧電型のものである。これには精密二次元変換台および顕微鏡台が備え付けられており、続いて印刷される複数のパターンを相互に位置合わせすることを可能にしている。インクジェットプリント(IJP)ヘッドは電圧パルスにより駆動される。1滴につき0.4ngという典型的な固体含有率の液滴を噴出するための適切な駆動条件は、パルス高さ20V、立ち上がり時間10μs、および立ち下り時間10μsにより達成される。ガラス基板上で乾燥された後、液滴は典型的な直径50μmおよび典型的な厚さ500ÅのPEDOTのドットを形成する。

【0046】

ソースドレイン電極のインクジェット印刷(IJP)は空気中で行われる。その後、サンプルは不活性雰囲気グローブボックスシステム内に搬送される。そして基板は、ポリフルオレンポリマーの場合の混合キシレンといった、後に活性半導電性層の析出に使用される有機溶剤中でスピンドライされる。基板はその後、不活性窒素雰囲気において200℃で20分間アニールし、PEDOT/PSS電極中の残留溶剤およびその他の揮発性物質を除去する。そして、スピンドライにより、厚さ200-1000Åの活性半導電性ポリマー4の厚膜を析出させる。(regioregular)ポリ-3-ヘキシルチオフェン(P3HT)などのさまざまな半導電性ポリマー、ポリ-9,9'-ジオチルフオレン-コ-ジチオフェン(F8T2)などのポリフルオレンコポリマーが使用されてきた。F8T2は、空气中でゲート電極を析出中に良好な安定性を示すため好ましい選択である。無水混合キシレン(Romil社より購入した)中のF8T2の5-10mg/ml溶液を1500-2000rpmで

スピンコーティングする。P3HTの場合は、混合キシレン中の1重量パーセント溶液を使用した。下にあるPEDOT電極はキシレンのような無極性有機溶剤には溶解しない。そして膜は、イソプロパノールまたはメタノールといった、後にゲート絶縁層5の析出に使用される溶剤中でスピン乾燥される。

【0047】

その後のアニーリング工程を行って半導電性ポリマーの荷電転送特性を向上させることができる。高い温度で液体結晶相を示すポリマーとするために、液体-結晶転移より高い温度でアニーリングすることによってポリマー鎖の向きを互いに平行なものとすることができる。F8T2の場合、275～285℃で5～20分間不活性N₂雰囲気中にてアニーリングを行う。次いでサンプルを急速に室温まで焼入れして鎖の向きを凍結させ、アモルファスガラスを形成する。アライメント層のない平面ガラス基板上にサンプルを調製する場合、ポリマーには、向きがランダムないくつかの液体-結晶ドメインがTFTチャネル内に存在するマルチドメイン構造を採用する。F8T2が液体-結晶層からの焼入れによってガラス状態で調製されているトランジスタ素子は、約 $5 \cdot 10^{-3} \text{ cm}^2/\text{Vs}$ の移動度を示す。この値は、スピンしている状態のF8T2膜を備える素子で測定した場合の移動度よりも大きな値以上である。析出したままの素子もまた、より高いターンオン電圧V_oを示す。これは、部分的に結晶化している析出したままの相と比較して、ガラス相の局所的な電子トラップ状態の密度が低いためである。

【0048】

ポリマー鎖がトランジスタチャンネルと平行に一軸整列されている単一ドメイン状態中でポリマーを調製すると、典型的には3～5倍のより改善した移動度を得ることができる。これは、機械的にラビングされたポリイミド層（図1（b）の参照符号9）などの適切なアライメント層によってガラス基板をコーティングすることによって達成することができる。単一ドメイン状態では、ポリマー鎖は下に存在するポリイミド層のラビング方向と一軸的に平行に整列されている。これにより、TFTチャネルが鎖の整列方向に平行となっている素子において電荷キャリア移動度がさらに改善される。このようなプロセスは、出願中のわれわれの英国特許出願第9914489.1号により詳細に記載されている。

【0049】

半導電性層を析出したあと、下に存在する半導電性ポリマーが溶解しない極性溶剤からのポリヒドロキシスチレン（ポリビニルフェノール(PVP)）とも呼ばれている）の溶液をスピニングすることによってゲート絶縁層5を析出する。溶剤の好ましい選択としてはメタノール、2-プロパノールまたはブタノールのようなアルコールがあげられ、これらにおいてはF8T2のような非極性ポリマーの溶解性が例外的に低く膨潤しない。ゲート絶縁層の厚さは300nm（溶液濃度は30mg/ml）から1.3μm（溶液濃度は100mg/ml）の間である。水中のポリビニルアルコール(PVA)、ブチルアセテート中のポリメチルメタクリレート(PMMA)、またはプロピレングリコールメチルエーテルアセテートといった溶解度の要件を満たすその他の絶縁性ポリマーおよび溶剤を使用してもよい。

【0050】

次にゲート電極6をゲート絶縁層上に析出させる。ゲート電極層はゲート絶縁層上に直接析出してもよく（図1（c）を参照のこと）、または、表面改質、拡散バリアまたは溶剤との相溶性などのプロセス上の理由により、1つ以上の中間層を介在させてもよい（図1（a）および（b）を参照のこと）。

【0051】

図1（c）のようなより簡素な素子を形成するために、PEDOT/PSSゲート6をPVP絶縁層5の上に直接プリントしてもよい。基板は空气中でインクジェット印刷(IJP)ステーションに搬送され、再びここでPEDOT/PSSゲート電極パターンが使用液からプリントされる。下に存在するPVPゲート絶縁層は、PEDOT/PSSゲート電極のプリント中に誘電性の完全性が保護されるよう水中では低い溶解度を有する。PVPは極性ヒドロキシル基の密度が大きいが、超非極性ポリスチレン類似の骨格を有するためその水中溶解度は低い。同様に、PMMAは水に溶解しない。図2は、F8T2半導電性層、PVPゲート絶縁層、およびインクジェット印刷(IJP)されたPEDOT/PSSソースドレインおよびゲート電極を備えるインクジェット印刷(IJP) TFTの伝達特性を示す。素子特性は窒素雰囲気中にて測定する。一連の測定をそれぞれ上昇する（上向きの三角形）および下降する（下向きの三角形）ゲート電圧に

よってそれぞれ示す。特性は、PEDOT/PSS (Baytron P) の調製したののバッチ (a) および 1 年経った古いバッチ (b) から製造した素子に関するものである。トランジスタの活動ははっきりと見て取れるが、素子は正のしきい値電圧 $V_0 > 1.0 \text{ V}$ をともなった特異な常オン挙動を示す一方、析出金ソースドレインおよびゲート電極を備えて製造された比較用素子は常オフ挙動を示すことがわかった ($V_0 < 0$)。PEDOT の「古い」バッチから製造された素子においては (図 2 (b) を参照のこと)、大きなヒステリシス効果が観察されたが、これは移動性イオン不純物の濃度が高いことによる (下を参照のこと)。大きな空乏状態 ($V_g = +4.0 \text{ V}$) でスイープを開始すると、トランジスタは $V_0^f \approx +2.0 \text{ V}$ (上向きの三角形) でオン状態となる。しかしながら、逆スキャン (下向きの三角形) では、トランジスタは $V_0^r > +3.5$ でしかオフ状態とならない。

【0052】

通常オン挙動およびヒステリシス効果は、イオン性物質が素子の層の 1 つに拡散することによって発生しやすい。 V_0 の異常に大きな正の値はイオンが負であることを示す。正の物質によって蓄積層の移動性電荷のいくつかを捕償し V_0 をより負の値に導くことが期待される。このイオン性物質の出所をつきとめるために、トッパーゲートインクジェット印刷 (IJP) PEDOT 電極を析出ゴールド電極に置き換えて、その他の層および PEDOT ソース / ドレイン電極を上記のように製造した。この構造において、素子は通常オフであり安定したしきい値電圧を示すことがわかった。このことは、全てがポリマーの素子におけるドーピングおよびヒステリシス効果が、導電性ポリマー トップゲート電極の溶液析出、および素子の PEDOT 溶液 / 膜からそれよりも下に存在する層への移動性かつイオン性不純物の起こり得る拡散に関係していることを意味する。

【0053】

加熱した基板上にゲート電極を析出することによって、しきい値電圧の値を制御することができること、およびヒステリシスの量を減少させることができることがわかった。これにより基板上の液滴の乾燥時間が短縮される。図 3 (b) は、ゲート電極の析出中基板が 50°C に加熱された TFT 素子の転送特性を示している。室温でのゲート析出した場合と比較してヒステリシス効果が非常に小さく (

図3b)、 V_0 は6Vという比較的小さい正の値であることがわかる。析出温度を制御することによって、しきい値電圧を $V_0 = 1 - 20\text{ V}$ の範囲で調節することができる。

【0054】

図1(c)のような、PVP層に直接析出されたゲート電極を備える素子は空乏型(depletion type)である。この通常オン挙動は、簡素な空乏負荷論理インバータのような空乏型論理回路に有用である(図14(a))。

【0055】

エンハンスメント型常オフTFTを製造するためには、拡散障壁層を組み込むことによってゲートの析出中の半導電性物質のドーピングを防止することができる。図1(a)および(b)の素子においては、導電性ポリマーゲート電極を析出する前に非極性ポリマーの薄層7がPVPゲート絶縁層の上に析出されている。この層は中間極性PVP絶縁体を通してイオン性物質が拡散することを妨ぐ拡散障壁として働くと考えられている。PVPは、膜を通過するイオンの導電性および拡散性を高める傾向のある高密度極性とドロキシル基を含有する。ポリ-9, 9'-ジオクチルフルオレン(F8)、ポリスチレン(PS)、ポリ(9, 9'-ジオクチルフルオレン-コ- N -(4-ブチルフェニル)ジフェニルアミン)(TBF)またはF8T2といったいくつかの非極性ポリマーを使用した。約50~100nmのこれらのポリマーの薄膜は、PVPが溶解しないキシレンなどの非極性有機溶剤中の溶液からPVPゲート絶縁層の表面に析出させることができる。

【0056】

水中の極性溶液から非極性障壁層の上またはPMMAのような中間極性ポリマー上にPEDOT/PSSへの直接のプリンティングには、湿潤性が不十分で接触角度が大きいため問題があることがわかった。これに対応するために、表面改質層8を非極性ポリマー上に析出する。この層は疎水性表面ではなく親水性表面を形成するため上にPEDOT/PSSが形成されやすい。これにより、ゲート電極パターンを高解像度でプリントすることが可能となる。表面改質層を形成するために、PVPの薄膜をイソプロパノール水溶液から析出してもよい。この水溶液には下に存在する拡散障壁層は溶解しない。PVP層の厚さは好ましくは50nmである。PVPの表面に

高解像度でPEDOT/PSSを印刷することができる。別の表面改質層を採用してもよい。その例としては、石鹸状の表面活性剤または親水性および疎水性官能基を含有するポリマーの薄層が上げられる。これらの分子は、下に存在する非極性ポリマーおよび自由表面の界面に向かってそれぞれ引き寄せられて疎水基と親水基とに相分離する傾向がある。その他、非極性拡散障壁を緩やかな O_2 プラズマに短時間露光することにより表面を親水性にすることも可能である。TFT素子性能を損なうことのない適切なプラズマ処理は、50 Wの強度の13.5 MHzの O_2 プラズマに12秒間露光することである。

【0057】

アルコールを含有する配合剤（イソプロパノール、メタノールなど）のように水よりも極性の低い溶剤からゲート電極がプリントされる場合は、非極性拡散障壁の上の表面改質層は必要でない。

【0058】

層シークエンスの完全性は、極性および非極性溶剤からポリマー材を交互に析出することに依存する。第2の層の析出に使用される溶剤中の第1の層の溶解度は体積当たり0.1重量パーセント未満であることが望ましく、好ましくは体積当たり0.01重量パーセント未満である。

【0059】

溶剤の相溶性の基準は、極性の程度を定量化できるヒルデブランド溶解度パラメータを利用して定量化できる(D.W. van Krevelen, Properties of polymers, Elsevier, Amsterdam (1990))。それぞれのポリマー（溶剤）の溶解度挙動は3つの特性パラメータ δ_d 、 δ_p 、 δ_h によって記載される。これらのパラメータは分散相互作用、極性、および液状のポリマー（溶剤）分子間の水素結合相互作用を特徴づけている。これらのパラメータの値は、ポリマーの異なる官能基からの寄与(contributions)を足すことによって分子構造がわかれば計算できる。これらはもっとも一般的なポリマーによって一覧表とすることができる。しばしば δ_p と δ_h を組み合わせると $\delta_y^2 = \delta_d^2 + \delta_p^2$ とすることができる。

【0060】

混合の自由エネルギーは $\Delta G_m = \Delta H_m - T \cdot \Delta S_m$ によって得られる。この式

において $\Delta S_m > 0$ は混合のエントロピーであり、 $\Delta H_m = V \cdot \phi_p \cdot \phi_s \cdot \left((\delta_v^p - \delta_v^s)^2 + (\delta_h^p - \delta_h^s)^2 \right)$ である（ V ：体積； ϕ_p , ϕ_s ：混合物中のポリマー（P）／溶剤（S）の体積分率）。この式により、ポリマー（P）は ΔH_m の値が小さいほど、すなわち、 $D = \left((\delta_v^p - \delta_v^s)^2 + (\delta_h^p - \delta_h^s)^2 \right)^{1/2}$ が小さいほど、溶剤（S）により溶けやすくなることが期待される。おおよその基準として、もし相互作用パラメータ D が約 5 より小さいと、ポリマーは溶剤に溶解する。もし D が 5～10 の間であれば、しばしば膨潤が観察される。もし D が 10 より大きいと、ポリマーは実質的に溶剤には溶解せず膨潤も発生しない。溶液加工した TFT 素子において十分に急な界面を得るためには、従って、それぞれのポリマー層および次の層の溶剤の値 D が約 10 より大きいことが望ましい。このことは、半導電性ポリマーおよびゲート誘電体の溶剤において特に重要である。F8T2 および イソプロパノール（ブチルアセテート）の場合、われわれは D を約 16（12）と見積もる。

【0061】

いくつかの素子構成について、全体の多層構造は、主に極性基を含有し水のような高極性の溶剤に溶解するポリマーと、極性基をわずかしき含有しないかまたはまったく含有せずキシレンのような非極性溶剤に溶解するポリマーと順々に交互に重なることによって構成できる。この場合、ポリマー層および次の層の溶剤の δ_p が異なるため相互作用パラメータ D は大きなものとなる。例としては、PEDOT/PSS の高極性ソースドレイン電極、F8T2 などの非極性半導電性層、水溶液から析出されたポリビニルアルコールなどの高極性ゲート誘電体層、一連の層の析出を可能とする障壁層としても働く TFB の非極性分散障壁層、および PEDOT/PSS ゲート電極を備えるトランジスタ素子があげられる。

【0062】

しかしながら、単一の誘電体層によって分離された非極性半導電性層および極性ゲート電極層を備えることはしばしば便利である。この一連の層はまた、高極性および非極性ポリマー層の間に挟持された中間極性溶剤から析出された中間極性ポリマー層を用いることによっても可能である。中間極性ポリマーは、極性および非極性基の両方を含有し、高極性溶剤には実質的に溶解しないポリマーであ

る。これに類似して、中間極性溶剤は極性および非極性基の両方を含有するが、非極性ポリマーには実質的に溶解する。溶解度パラメータの点からみると、中間極性溶剤は溶解度パラメータ δ_h が下に存在するポリマーの値とは大きく異なるものとして定義できる。この場合、たとえ溶剤の極性溶解度パラメータ δ_p (δ_v) が下に存在するポリマー層の値と似通っていたとしても、膨潤が回避できる（大きなD）。中間極性ポリマーはヒドロキシル基といった特定の官能基を含有し得、この官能基により中間極性ポリマーはポリマーの官能基に引きつけられる官能基を含有する溶剤中に可溶となる。このような引きつけ作用は水素結合相互作用であり得る。ポリマーのこのような機能は、中間極性溶剤へのその溶解度を高め極性溶剤へのその溶解度を低くするために利用できる。中間極性ポリマーの例としては、非極性半導電性層とPEDOT/PSSゲート電極との間に挟持されたPVPゲート誘電体層があげられる（図1c）。中間極性溶剤の例としては、IPAのようなアルキルアルコールがあげられる（ $\delta_h = 8$; F8T2 : $\delta_h \approx 0$ ）。

【0063】

図4は、図1（a）に図示されるようなPVPゲート絶縁層、F8拡散障壁層、およびPVP表面改質層を備える全手がポリマーのF8T2インクジェット印刷(IJP) TFTの出力（a）および伝達（b）特性を示している（ $L = 50 \mu m$ ）。素子は $V_g \leq 0V$ のターンオンをとまう、きれいでほぼ理想的な常オトランジスタ動作を示している。上向き（上向きの三角形）および下向き（下向きの三角形）電圧スイープ間のしきい値電圧シフトは $\leq 1V$ である。素子特性は、ゴールドソースドレインおよびゲート電極を備え不活性雰囲気条件にて製造された標準的な素子と非常に似通っている。電界効果移動度は約 $0.005 \sim 0.01 \text{ cm}^2/Vs$ であり、 $V_g = 0$ と $-60V$ との間で測定されたオン・オフ電流比は約 $10^1 \sim 10^5$ のオーダーである。

【0064】

素子は、F8、TFB（図5（a）は伝達特性）、PS（図5（b）は伝達特定）、およびF8T2のような広範囲の非極性分散障壁層を備えて製造された。それぞれの場合において、きれいな通常オフ挙動、小さなヒステリシス効果およびしきい値電圧シフトが観察された。これらは、ゴールドソースドレイン電極を備えた比

較用素子の値とほぼ同じであった。このことは、非極性ポリマーをゲート電極の下に挿入することにより、ゲート絶縁層の溶液析出中および析出後にイオン性不純物が拡散することが妨げるとの解釈をサポートする。この発見により、再現性のよいTFTしきい値電圧および良好な操作安定性を得ることができた。

【0065】

拡散障壁を備える常オフ素子は上述の空乏型素子よりも好ましい。なぜなら、前者はより長期に亘るしきい値電圧安定性およびより長い寿命を持つと期待できるからである。

【0066】

半導電性層については、 $10^{-3} \text{ cm}^2/\text{Vs}$ を超える、好ましくは $10^{-2} \text{ cm}^2/\text{Vs}$ を超える適切な電界効果移動度を示す共役ポリマーまたはオリゴマー材料を処理できるものであればどのような溶液を使用してもよい。適切な材料は、例えばH. E. Katz, J. Mater. Chem. 7, 369(1997)またはZ. Bao, Advanced Materials 12, 227(2000)を参照のこと。

【0067】

良好な安定性および高オン・オフ電流比を有するプリントされたTFTを製造するための重要な要件の一つとして、加工工程およびプリント工程において、大気中および水中の酸素による意図しないドーピングに対する半導電性物質の良好な安定性が挙げられる。プリントTFTは活性半導電性層として、混合キシレン溶液から析出されるF8T2（上の記載を参照のこと）または(regioregular) P3HTといったあらゆる範囲の半導電性ポリマーを採用して製造されてきた。不活性雰囲気中で試験素子構造において調製されたP3HT TFTの場合、 0.05 から $0.1 \text{ cm}^2/\text{Vs}$ という電界効果移動度はF8T2の場合よりもやや高い。しかしながら、(regioregular) P3HTは酸素および/または水によるドーピングに対して不安定であり、その結果空気中におけるプリント工程中に膜導電性が上昇しオン・オフ電流比が悪くなる。このことは、P3HTのイオン化ポテンシャルが $I_p \approx 4.9 \text{ eV}$ と比較的低いことに関連している。P3HTについては $> 10^6$ という高いオン・オフ電流比が立証されたが、これを達成するには析出後にヒドラジン蒸気にさらすなどの還元デドーピング工程を行う必要がある(H. Sirringhaus, et al., Advanc

es in Solid State Physics 39, 101 (1999))。しかしながら、上述のインクジェット印刷(IJP) TFTについてはこの還元後加工工程を行うことはできない、なぜならこれを行うをPEDOT電極もデドープすることになるためこれらの導電性を著しく低下させてしまうからである。従って、高電流スイッチング比を達成するためには、酸素または水による意図しないドーピングに対する良好な安定性を伴ってポリマー半導体を使用することが重要である。

【0068】

良好な環境安定性および高い移動度を達成するために好ましい種類の材料は、通常の順序に並んだAおよびBブロックを含有するA-B剛性ロッドブロックコポリマーである。適切なAブロックとしては構造的に良好に定義された、高いバンドギャップを有するはしご型部(moieties)である。これらはホモポリマーとしての5.5 eVよりも大きなイオン化ポテンシャルおよび良好な環境安定性を有する。適切なAブロックの例としては、フルオレン誘導体(米国特許第5,777,070号)、インデノフルオレン誘導体(S. Setayesh, *Macromolecules* 33, 2016(2000))、フェニレンまたははしご型フェニレン誘導体(J. Grimme et al., *Adv. Mat.* 7, 292(1995))があげられる。適切なBブロックとしては、バンドギャップがより低く硫黄または窒素といった異種原子を含有し、ホモポリマーとして5.5 eV未満のイオン化ポテンシャルを有する正孔転送部(moieties)があげられる。正孔転送Bブロックの例としてはチオフェン誘導体、またはトリアルアミン誘導体があげられる。Bブロックの効果は、ブロックコポリマーのイオン化ポテンシャルを低下させることである。ブロックコポリマーのイオン化ポテンシャルは、好ましくは $4.9 \text{ eV} \leq I_p \leq 5.5 \text{ eV}$ の範囲である。このようなコポリマーの例としてはF8T2(イオン化ポテンシャルは5.5 eV)またはIFT(米国第5,777,070号)があげられる。

【0069】

その他の適切な正孔転送ポリマーとしては、アルコキシまたはフッ素化側鎖を持つポリチオフェンなどの、イオン化ポテンシャルが5 eVより大きいポリチオフェン誘導体のホモポリマーがある(R. D. McCullough, *Advanced Materials* 10, 93(1998))。

【0070】

正孔伝送半導電性ポリマーの代わりに、可溶性電子伝送材料もまた使用できる。これらの材料は、酸素などの残留雰囲気不純物がキャリアトラップとして働くことを防止するために、3 eVより大きく大きく、好ましくは3.5 eVより大きいという高い電子親和度を必要とする。適切な材料としては、溶液溶液プロセス可能電子伝送小分子半導体(H. E. Katz, et al., Nature 404, 478(2000))および電子空乏フッ素化側鎖を有するポリチオフェン誘導体があげられる。構造的に良好に定義された、5.5 eVよりも大きな大きな高いイオン化ポテンシャルを持つはしご型Aブロック、およびポリマーの電子親和度を3 eV、好ましくは3.5 eVよりも高い値に高める電子伝送Bブロックを有するAB型ブロックポリマーもまた適している。Aブロックの例としてはフルオレン誘導体(米国第5,777,070号)、インデノフルオレン誘導体(S. Setayesh, Macromolecules 33, 2016(2000))、フェニレンまたははしご型フェニレン誘導体(J. Grimmer et al., Adv. Mat. 7, 292(1995))が上げられる。電子伝送Bブロックの例としては、ペンゾチアジアゾール誘導体(米国第5,777,070号)、フェニレン誘導体、ナフタレンテトラカルボキシルジイミド誘導体(H.E. Katz et al., Nature 404, 478(2000))、およびフッ素化チオフェン誘導体があげられる。

【0071】

論路回路を高速作動させるために、トランジスタのチャネル長さL、ソース/ドレインとゲートdとの間のオーバーラップはできるだけ小さく、すなわち典型的には数 μm でなければならない。もっとも重要な寸法はLである。これはなぜなら、トランジスタ回路の作動速度は L^{-2} にほぼ比例するからである。このことは移動度が比較的低い半導電性層については特に重要である。

【0072】

このような高解像度パターンニングは、現行のインクジェットプリント技術では達成することができない。現行のインクジェットプリント技術は、最新のインクジェット印刷(IJP)技術をもってしても10~20 μm の特徴寸法に限定されている(図6)。もしより高速の作動およびより密集した特性パッキングを必要とするなら、より精密な特徴解像度を可能とする技術を採用しなければならない

。以下に述べる技術は、インク表面相互作用を利用してインクジェット溶液を基板表面に閉じ込めるものである。この技術は、従来のインクジェット印刷で達成できるチャンネル長さよりもはるかに小さいチャンネル長さを達成するために利用することができる。

【0073】

この閉じ込め技術は、基板上に析出される材料を精密な解像度で析出することを可能とするために利用することができる。基板の表面をまず最初に、その選択された部分において析出される材料が比較的引きつけられまた比較的是じかれるようにするために処理する。例えば、基板を前パターンニングしてある領域を部分的に疎水性としその他の領域を部分的に親水性してもよい。高い解像度および／または精密な位置合わせにより行われる前パターンニング工程により、その後の析出を正確に定義することができる。

【0074】

前パターンニングの実施例の1つを図7に示す。図7は図1(c)に示す型の素子の製造を示すものであるが、とくにチャンネル長さLが精密となっている。図1(c)と同じ構成要素は同じ参照番号となっている。図7(a)は前パターンニングされた基板の製造方法を示している。図7(b)は前パターンニングされた基板への印刷およびインク閉じ込めを示している。

【0075】

ソースドレイン電極2、3を析出する前に、薄膜ポリイミド層10を柄部シート1上に形成する。このポリイミド層は最後にパターンニングされ、ソースドレイン電極が形成される場所から除去される。この除去工程は、精密な特徴定義および／または正確な位置合わせを可能とするためにフォトリソグラフィ工程によって行うことができる。このようなプロセスの一例として、ポリイミドをフォトレジスト11の層で覆う。フォトレジストはフォトリソグラフィによってパターンニングすることで、ポリイミドを除去するべき場所からフォトレジストを除去することができる。次に、フォトレジストが耐性を示すプロセスによってポリイミドを除去する。そしてフォトレジストを除去することで正確にパターンニングされたポリイミドを残すことができる。ポリイミドを選ぶ理由は、それ

が比較的疎水性である反面、ガラス基板が比較的親水性であるからである。次の工程で、ソースドレイン電極を形成するためのPEDOT材料をインクジェット印刷によって親水性基板領域12上に析出する。インクの溶滴がガラス基板領域上に広がって疎水性ポリイミド領域10に行き当たると、インクははじかれるため疎水性表面領域に流れ込むことが防止される。

【0076】

この閉じ込め効果により、インクは親水表面領域上だけに析出され、ギャップが小さくトランジスタチャンネル長さが10 μ m未満の高解像度パターンを定義することができる(図7(b))。

【0077】

ポリイミドを除去できる、またはポリイミドの除去後に比表面効果を高めるために採用することのできるプロセスの一例を、図7(a)に示す。ポリイミド層10およびフォトレジスト11は酸素プラズマに露光される。酸素プラズマは、厚膜(1.5 μ m)フォトレジスト層よりも早く薄膜(500 Å)ポリイミド層をエッチングする。ソースドレイン電極領域の露光された裸のガラス表面12はフォトレジストを除去する前にO₂プラズマに露光されることによって非常に親水性を増す。ポリイミドの除去中に、ポリイミドの表面をフォトレジストによって保護し疎水性のままとする点に留意するべきである。

【0078】

必要に応じて、ポリイミドの表面をさらにCF₄プラズマに露光することによってより疎水性を高めることができる。CF₄プラズマはポリイミド表面をフッ素化するが、親水正のガラス基板とは相互作用しない。このようなさらなるプラズマ処理はフォトレジストを除去する前に行うことができ、この場合は、ポリイミドパターン10の側壁のみがフッ素化される。またはレジストを除去したあとに行うこともできる。

【0079】

O₂プラズマ処理済7059ガラス上の水中におけるPEDOT/PSSの接触角度は、ポリイミド表面上の接触角度が $\theta_{pt} \approx 70 \sim 80^\circ$ であるのに比較して $\theta_{glass} = 20^\circ$ である。フッ素化ポリイミド上の水中におけるPEDOT/PSSの接触角度は

120°である。

【0080】

上で述べたようにPEDOT/PSSが水溶液から前パターンニングされたポリイミド層上に析出される場合、たとえチャンネル長さLが数 μm でしかなくてもPEDOT/PSSインクはソースドレイン電極領域に閉じ込められる(図7(b))。

【0081】

インク溶液を容易に閉じ込めるために、インク溶液の運動エネルギーはできるだけ小さく維持する。溶液の大きさが大きいほど運動エネルギーが大きくなり、そして広がっていく溶液が疎水性閉じ込め構造を「無視」して隣接する親水性領域にあふれ出る可能性が大きくなる。

【0082】

好ましくはインク溶液13の析出は、溶液の中心とポリイミド境界との間の距離dで親水性基板領域12上に行われる。一方で、dは十分に小さく、広がるインクは境界に到達してPEDOT膜がポリイミド境界にまで全域に亘って延びるようにしなければならない。他方、dは十分に大きく、急速に広がるインクが疎水性表面領域に「あふれ」出ないようにしなければならない。このことにより、TFTチャンネルを定義しているポリイミド領域10上にPEDOTが析出される危険性が増加し、ソースおよびドレイン電極の間で短絡が発生する場合がある。固体含有率が0.4ngのPEDOT溶液を O_2 プラズマ処理された7059ガラス上に、2つの連続する溶液の間の横方向ピッチを12.5 μm として析出する場合には、 $d \approx 30 \sim 40 \mu\text{m}$ という値が適していることがわかった。dの最低値は表面上の湿潤性ならびに析出ピッチ、すなわちその後析出される溶液の間の横方向距離、溶液が析出される頻度、および溶液の乾燥時間に左右される。

【0083】

トランジスタのチャンネル長さを定義するための疎水性閉じ込め層は第2の機能を提供してもよい。この層は、後にトランジスタのチャンネルに半導電性ポリマーを析出する際の位置合わせテンプレートとして利用できる。ポリイミド層10を機械的にラビングまたはフォトライメントし、次いで、液体-結晶半導電性ポリマー4の単一メインアラインメントを提供するためのアライメント層とし

て利用することができる（図1（b））。

【0084】

ゲート電極6も、ゲート電極が析出される溶液を引き寄せおよびはじく表面領域を提供するゲート絶縁層5上に形成されたパターンニング層14によって、同じように限定することができる。パターンニングされた層6はソースドレインパターンに対して位置合わせすることにより、ソース/ドレインおよびゲート電極間の重複領域を最小にできる（図7（c））。

【0085】

ポリイミド以外の物質は事前パターン化層として使用することができる。フォトリソグラフィ以外の他の精密な事前パターン化技術も使用することができる。図8は比較的疎水性層および親水性層の構造の能力を明示しインクジェット・プリント法によって析出された液状「インク」を限定している。図8はポリイミド10の薄片を含む基板の光学顕微鏡写真を示し、この薄片は相対的に疎水性になるように上述したように処理され、また露出ガラス基板12の大きい領域は相対的に親水性になるように上述したように処理される。ソースおよびドレイン電極となるPEDOT物質は、薄片10に接近するライン2および3の一連の液滴ランニングからなるインクジェット・プリントによって析出される。インクジェット物質が弱いコントラストを示しているが、析出物質の端面2および3の不意に終了した形態に見え、この析出物質は薄片の厚み $L=5\mu\text{m}$ まで掘り下げても薄片10によって限定されている。

【0086】

図9はポリイミド薄片10の近傍におけるインクジェット析出プロセスの写真である。この映像は透明基板の下に取り付けられたストロボカメラで撮影されたものである。ポリイミド・パターン10のエッジは白線として見ることができる。インクの液滴21は、インクジェット・ヘッド20のノズルから放出され、またポリイミド薄片10から距離 d だけ離れたその中央に析出する。このような映像は、薄片パターン10に関するインクジェット析出の正確な局部アライメントに使用することができ、またパターン認識を使用して局部アライメント・プロシージャを自動化するのに使用される（以下を参照）。

【0087】

図10および11は、図7cに示されたように形成された出力特性および転送特性を示すとともに、上述した差動湿潤処理によって規定されたそれぞれ $20\mu\text{m}$ と $7\mu\text{m}$ のチャネル長さ L を有している。いずれの場合においても、チャネル幅 W は 3mm である。図10(a)は $20\mu\text{m}$ 素子の出力特性を示している。図10(b)は $7\mu\text{m}$ 素子の出力特性を示している。図11(a)は $20\mu\text{m}$ 素子の転送特性を示している。図11(b)は $7\mu\text{m}$ 素子の転送特性を示している。 $7\mu\text{m}$ 素子は小さいソースドレイン電圧で低減電流と飽和形態にある限定出力コンダクタンスを伴う特性短チャネル動作を示す。短チャネル・素子の移動度とON-OFFの電流比は、上述した長チャネル・素子のそれと類似している。すなわち、 $\mu=0.005\text{--}0.01\text{cm}^2/\text{Vs}$ であり、また $I_{\text{ON}}/I_{\text{OFF}}=10^4\text{--}10^5$ である。

【0088】

インクの限定は疎水性と親水性表面上の湿潤特性内の差の結果であり、また微細構成形態の存在を必要としない。上述の実施例において、ポリイミド・フィルムは極めて薄く(500\AA)作ることができ、これは液状にあるインクジェット液滴のサイズよりもずっと薄い(数マイクロメータ)。従って、基板の事前パターンを製作する別の技術は、パターン化自己集合単分子層(SAM)でガラス基板の面を機能化するようにして使用することができる。例えば、SAMはトリフルオロプロピルトリメトキシシレンのような疎水性アルキルまたはフルオロ基あるいはアルコキシ基を含んでいる。SAMはシャドウ・マスクを介して紫外線露光(H. Sugiyama et al., Langmuir 2000, 885(2000))あるいはマイクロコンタクト・ブリント法(Brittain et al., Physics World May 1998, p.31)のような適切な技術によってパターン化することができる。

【0089】

基板の事前パターン化は、TFTの層の析出の前に実行される事前パターン化のような上述した処理流れと容易に共用できる。従って、広範囲のパターン化およびブリント技術が使用でき、活性ポリマー層の低下の危険性なしに高解像度事前パターンを発生することができる。

【0090】

同様の技術が、ゲート電極の析出前にゲート絶縁層の面ないし表面修正層を事前パターンするのに適用でき、小さい重なり容量を達成する。図7(c)に示したように、ゲート電極6はパターン層14によって規定される。この種の事前パターン化法の一つの可能な実施例は、オクタデシルトリクロロシランのようなクロロシランまたはメトキシ・シランを含む自己集合単分子層(SAM)のマイクロコンタクト・プリント法または紫外線フォトリソパターン化法である。これらの分子は、これが極面上の水酸基と化学的に結合し、また表面疎水性にする SiO_2 またはガラス基板の表面上に安定した単分子層を形成する。PVPまたはPMMAのようなゲート誘電体単分子(ポリマー)の表面上に同様の単分子層を形成できることを発明者は見つけた。これはPVP表面上の水酸基への分子の結合のためであると思われる。SAMコート疎水性領域によって取り巻かれたソースドレイン電極により輪郭のはっきりした小さいオーバーラップを伴う細い親水性ラインからなる表面自由エネルギー・パターンは、軟リソグラフ・スタンプ工程によって容易に規定される。このスタンプ工程は、下層にあるソースドレイン電極に関してスタンプ・パターンを一致させるために光学顕微鏡またはマスク・アライナの下に実行することができる。導電性水性ポリマー・インクが頂部に析出されるときに、析出が自己集合単分子層によって規定された細い親水性ラインに限定される。この方法において、パターン化されていないゲート電極層上の通常のライン幅によって達成されるよりもより細いライン幅とすることができる。これによりソース/ドレイン対ゲートのオーバーラップ容量の低減となる。

【0091】

事前パターン化基板の助けにより、TFTおよびその説明されたビアホール製造工程に基づいた高速論理回路を製造することができる。

【0092】

広いエリアに亘るトランジスタ回路を製造するための決定的な条件の一つは、基板上のパターンに関する析出の整合とアライメントである。適切な整合の達成は、広いエリアに亘ってゆがみを呈する可撓性基板において特に困難である。連続したパターン化工程間で、基板がゆがんでおれば、フォトリソグラフ工程中の

次のマスク・レベルは、もはや下層のパターンとオーバーラップしない。ここで開発された高解像度インクジェット・プリント基板は、可塑性（プラスチック）基板上においてさえも広いエリアに亘って正確な整合を達成するのに適している。なぜなら、インクジェット・ヘッドの位置が基板上のパターンに関して局部的に調整することができるからである（図 9）。この局部的のアライメント工程は、フィードバック機構と併合して、インクジェット・ヘッドの位置を修正する図 9 の技術のパターンのような映像を使用するパターン認識技術を使用して自動的に可能である。

【0093】

上述したタイプの素子を使用する多重トランジスタ集積回路を形成するために、ビアホールを形成して素子の厚みを通して直接内部接続されることが望ましい。これはこの種の回路が特にコンパクトに形成されることになるからである。このような内部接続を形成する一つの方法は、次に説明するような溶剤形成ビアホールを使用するものである。この方法は上述した TFT の溶剤処理層がまったく不溶性形態に変換されないという実際の利点を有する。これが溶剤の局部析出によるビアホールの開口を許容する。

【0094】

溶剤形成ビアホールを形成するために（図 12（a））、適切な溶剤 29 の一定量が、層の頂部に局部的に析出され、ここにビアホールが形成される。溶剤はホールの形成される下層を溶解することのできるものが選択される。ビアホールが形成されるまで、溶剤は漸進的溶解によって層に浸透する。溶解物質がビアホールの側壁 W 上に析出される。溶剤のタイプおよびこれを析出する方法については、個々の適用によって選択される。しかし、4 つの好ましい観点としては：

1. 溶剤および処理条件は、溶剤が蒸発されるかそうでなければ容易に除去されることであり、これによって続く処理を妨害することなく、かつ素子を過渡に、または不正確に溶解しないものである；
2. 溶剤は IJP のような選択された処理によって析出され、これによって溶剤の正確に制御された量が基板上の所望個所に正確に適用できる；および
3. ビアホールの直径が溶剤液滴の表面張力と基板を湿らす溶剤の能力に影響を

受ける；および

4. 溶剤は、電氣的接続が行われる下層を溶解しない。

【0095】

図12(a)は、図1(c)に示した一般的なタイプの部分的に形成されたトランジスタ・素子上のメタノール溶剤（液滴当たり20ngを含む）液滴29の析出を示す。図12(a)の部分的な素子は1.3μm厚のPVP絶縁層28、FST2半導電性層27、PEDOT電極層26およびガラス基板25を含んでいる。本例において、絶縁PVP層を貫通するピアホールを形成することが望ましい。メタノールはPVPを容易に溶解させる能力のために、すなわち、続く処理工程を妨げないように容易に蒸発し、さらにPVPに対する満足する湿潤特性を有しているために溶剤として選択される。本例においてピアホールを形成するために、インクジェット(IJP)プリントヘッドは、ピアホールを形成したい基板上の位置に移動させる。従って、必要数の適切なサイズのメタノール液滴が、ピアホールが完成されるまで、インクジェット(IJP)プリントヘッドから滴下される。連続する液滴間の周期は、メタノールが素子の層を溶解する比率と一致するように選択される。各液滴は、次の液滴が析出される前に完全に、あるいはほぼ完全に蒸発されるのが好ましい。ピアホールは下部の無極性半導電性層に到達したときに、エッチング工程が停止されて下層が除去されないように注意しなければならない。イソプロパノール、エタノール、ブタノールまたはアクトンのような他の溶剤も使用することができる。高い処理量を達成するために、単一の溶剤液滴の析出によってピアホールを完成することが望ましい。300nm厚のフィルムと、30plの容積および50μmの直径を有する液滴に対して、これを達成するには容積当たり1〜2重量%より高い溶剤中で層の溶解性を必要とする。単一の液滴を伴うピアホールの形成を必要とする場合は、より高い沸点がさらに望まれる。PVPの場合において、225℃の沸点を有する1,2ジメチル-2-イミダゾリジオン(DMI)を使用することができる。

【0096】

図12(b)は、ピアホールの位置にシーケンスでメタノールの数滴を滴下する効果を示す。右側のパネルは、1、3および10個の液滴を滴下した後の素子

の顕微鏡写真を示す。左側のパネルは、形成されたピアホールを横切る同じ素子のデクタック (D e k t a k) 面プロファイル測定結果を示す。(ピアホールの位置は、概して各パネル中位置「V」で示す。) 数滴が同じ位置に連続して滴下されると、クレータがPVPフィルムに開けられる。このクレータの深さは連続する液滴の作用に伴って大きくなり、また約6個の液滴の後、下にあるF8T2層の表面がめくられた。溶解されたPVP物質がピアホールの側部で壁W内に析出された。ピアホールの直径は、液滴のサイズによって制限された $50\mu\text{m}$ 程度である。このサイズは論理回路および大きい面積のディスプレイのような多数の適用例に適している。

【0097】

ピアホールの直径は、インクジェット溶剤の液滴のサイズによって決定される。ホールの直径は、液滴の直径に正比例して観察された(図12c参照)。側壁の外径は第1液滴のサイズと拡散によって決定され、また溶解されたポリマー層の厚みとは無関係である。高解像度ディスプレイのようなより小さいホールが必要とされる適用例の場合、より小さい液滴サイズが使用される場合においてさえ、あるいは基板表面が適切な技術によって事前パターン化して上述した表面上の液滴を制限することができる。他の溶剤も使用できる。

【0098】

表面プロファイル測定結果から、ピアホールの形成が物質を溶解させ、またピアホールのエッジに移動させ、ホールは溶剤が蒸発された後に残っていることが分かる(図12(b)のWで示す)。注意しなければならないのは、移動された物質は図12(b)に示されたよりもより滑らかな形状となり、表面形態のxおよびy軸は異なるスケールとなる図12(b)をプロットしたものである(xは μm 単位であり、yはÅ単位である)。

【0099】

ピアホール形成のメカニズム、すなわち物質の側壁への移動は、溶質の含まれている乾燥液滴のコンタクト・ライン(接触線)がピン留めされた場合に生じる周知のコーヒーシム作用に似ていると考えられる。ピン留め作用は、例えば表面の荒さまたは化学的不均質のために発生する。注意しなければならないのは、優

れた溶剤の析出は常に溶解中に表面荒さを発生することである。溶剤が蒸発するときに、毛細管流れが接触線近くで溶剤蒸発と置換されるために発生する。接触線近傍におけるより大きい表面对バルク比率のためにより多くの溶剤が接触線近傍で蒸発する。毛細管流れの速度は、典型的な拡散速度に比較して大きく、例えば溶質が液滴のエッジに搬送され、また溶質の析出がリム近傍のみで発生し、乾燥液滴の中心では発生しない(R.D. Deegan et al., Nature 389, S27 (1997))。溶質の拡散は、側壁の形成されるよりも溶剤の乾燥時に全エリアに亘ってポリマーの好ましい均一な再析出となる傾向にある。理論的に予測できるのは、毛細管流れの速度 $V(r)$ (r : は中心からの距離; R : 液滴の半径) は、 $(R-r)^{-1/2}$ に比例し、ここに $\lambda = (\pi - 2\theta_c) / (2\pi - 2\theta_c)$ である。従って、 V が λ の増大に伴って増加すると、接触角度 θ_c が小さくなる。従って、エッジにおける析出量はより早く発生すればするほど、ますます接触角度は小さくなる。

【0100】

従って、ビアホールの開口のために、重要なことは (a) 初期液滴の接触線はピン留めされること、(b) 溶解されるべきポリマーの頂部上の液滴の接触角度は十分小さいこと、および (c) 溶剤の蒸発は、ポリマー溶質拡散が無視できるくらい十分速いことである。PVP上のIPAの場合において、接触角度は 12° 程度であり、また液滴な一般的に 1 s 未満内の乾燥である。

【0101】

接触角度が小さくなればなるほど、液滴内部の毛細管流れ速度がますます速くなる。すなわち、側壁の形成がますます確実になる。しかし、一方において、接触角度が小さくなればなるほど、液滴直径がますます大きくなる。従って、輪郭のはっきりした側壁を伴う小さい直径のビアホールを達成する最適な接触角度が存在する。優れた溶剤に対するより大きい接触角度を達成するために、基板の表面が、例えば溶剤のより大きい反発性を伴った自己集合単一層によって処理される。この自己集合単一層は、溶剤の析出が小さいエリアに限定されるために、例えば疎水性および親水性面領域を提供するようにパターン化される。

【0102】

ビアホールの深さおよびエッチング率は、滴下される溶剤の液滴数、液滴が析

出される頻度、および基板を溶解する能力である率と比較して溶剤の蒸発率の組み合わせによって調整することができる。析出の発生される環境および基板の温度は蒸発率に影響する。溶剤に対して不溶性またはゆっくり溶解する物質の層が溶解の深さを制限するのに使用することができる。

【0103】

TFTの層シーケンスが、交互にある極性層と無極性層から構成されているので、明確な深さでエッチングを停止するように溶剤および溶剤の組み合わせを選択することが可能である。

【0104】

ビアホールを介して接触を実行するために、導電層がその上に析出され、これによってビアホール内に延長され、またビアホールの下部で物質と電気的接続がなされる。図13(a)は図12(a)に示したタイプの素子示すが、上述したビアホールの形成後に、金電極25の形成工程が含まれている。

【0105】

図13はカーブ30で下部PEDOT電極25とPVPゲート絶縁層28の頂部に析出された導電電極29間で測定された電流・電圧特性を示す。ビアホールの直径は50 μ mであった。比較するために、カーブ31は、ビアホールが頂部電極と下部電極間のオーバーラップ領域に配置されていない標準サンプルを示す。特性は、ビアホールを通過する電流が、ビアホールの存在しないゲート絶縁部を通過する漏れ電流よりも数倍高い大きさであることをはっきり示している。ビアホールを通過する測定電流はPEDOT電極の導電性によって限定され、個々のPEDOT電極の導電性測定を実行することによって知ることができる。ビアホールの抵抗値によって限定されず、ビアホールの抵抗値 R_v の低い制限推定値がこれらの測定から得ることができる。すなわち、 $R_v < 500\text{ k}\Omega$ である。

【0106】

図12に関する上述したビアホールを形成する方法は、拡散バリアなしに空乏層タイプの素子(図1(c)に示したような)に対して、また、拡散バリアがビアホールの開口後に析出される素子に直接適用可能である。図14(a)は、ビアホールが形成され、かつゲート電極が拡散バリア層に介在せず析出された素

子を示す。図14(b)は、ピアホール形成後、拡散バリアポリマー7がゲート電極6の析出間に形成された同様の素子を示す。この場合において、拡散バリア層はピアホール抵抗 R_p を最小にするために優れた電荷転送特性を呈することが必要である。最適な拡散バリアは図5(a)に示したようなTFBの薄層である。

【0107】

均一な低い接触抵抗が必要とされる場合、半導電性層がピアホールサイトでも除去される。これは拡散バリアが形成された後で実行されるのが好ましい。拡散バリア7と半導電性ポリマー4は、これらに対して優れた溶剤のインクジェットプリント(IJP)析出によって局部的に溶解され、本例においてはキシレンである。半導電性物質および絶縁物質のために優れた溶剤を混合することにより、両層は同時に溶解される。ゲート電極の析出に続いてこれが行われる素子を図14(c)に示す。

【0108】

溶剤の混合物は、溶解されるべき層上の溶剤混合物の接触角度を大きくすることによってピアホールの直径を小さくするのに使用することができる。

【0109】

ピアホールの内部接続の形成、従って、導電性物質を析出してブリッジする別の方法は、下部にある層基板を局部的に修正することができる物質を局部的に析出して、これらを導電性にするものである。一例として移動性ドーパントを含む溶液の局部的IJP析出を一つの層またはいくつかの層に拡散できる。これは図14(d)に示され、ここで領域32はドーパントで処理されることによって導電性にされた物質を含んでいる。このドーパントはN, N'-ジフェニール-N, N'-ビス(3-メチルジフェニル)-(1, 1'-ビフェニル)-4, 4'-ジアミンのようなトリアリルアミン(TPD)のような小さい共役分子である。ドーパントは溶剤ケースとして加えられるのが好ましい。

【0110】

PVP誘電体層を介するピアホール形成の方法はTFTのゲート電極を、例えば図15に示したようなロジック・インバータ・素子のために必要とされるときに下部

にある層内のソースまたはドレイン電極に接続するのに使用することができる。同様のピアホール接続はほとんどのロジック・トランジスタ回路に必要とされる。図16は図15(b)に示された二つの常時オフ・トランジスタ・素子で形成されたエンハスメントロード・インバータ・素子の特性をプロットしたものである。二つのトランジスタのためのチャネル幅に対するチャネル長さの比(W/L)の異なる比率を有する二つのインバータを示す(プロット35は3:1の比、プロット36は5:1である)。出力電圧は、入力電圧がロジック・ロウからロジック・ハイに変化すると、ロジック・ハイ(-20V)からロジック・ロウ(≈ 0 V)状態まで変化する。インバータの利得、すなわち、特性の最大傾斜は1より大きく、これはリング・オシレータのようなより複雑な回路の製造を許容するための必要条件である。

【0111】

上記に記述されるようなピアホールは、さらに、異なる層における内部接続ライン間に電気接続を設けるのに使用されることができる。複雑な電子回路のために、マルチレベル内部接続機構が必要とされている。これは、内部接続部72と、融和性溶媒から析出される異なる誘電層70、71とのシーケンスを配置することによって作られることができる(図15(d))。ピアホール73は、次に、自動エッチストップを備える内部接続ラインを用いて、上記に記述される方法で形成されることが可能である。

【0112】

適切な誘電物質の例は、PVPなどの極性ポリマー(70)や、ポリスチレンなどの無極性誘電ポリマー(71)である。これらは、極性溶媒および無極性溶媒から別の方法で析出されることが可能である。ピアホールは、基礎をなす誘電層がエッチストップ層を備えている間、それぞれの誘電層のための良溶媒の局部析出によって開かれることが可能である。

【0113】

上記に記述されるタイプの素子のために物質および析出プロセスを選択する際に、各層が、直接に基礎をなす層を実質的に溶融しない溶媒から析出される場合、大きな利点が得られることが可能であることを心に留めておくべきである。こ

の方法で、連続する層が、溶媒処理によって作られることが可能である。このような物質およびプロセスのステップの選択を簡素化する1つの方法は、上記に記述される層シーケンスのために例示されるように、極性溶媒および無極性溶媒から別の方法で2つ以上の層を析出しようと意図するものである。この方法において、溶性層、導電層、半導電性層、絶縁層などを含有する多層素子は、容易に形成されることが可能である。これにより、基礎をなす層の溶解および膨潤の問題を回避することが可能である。

【0114】

上記に記述される素子の構造、物質およびプロセスは、単なる例示である。それらは変更されてもよいことは明らかである。

【0115】

図1に示されるトップゲート構造と異なる他の素子の構造が使用されてもよい。別の構造は、図17に示されるよりスタンダードなボトムゲート構造であり、それには、必要とされる場合、拡散バリア7および表面変更層8を組み込むことも可能である。図17において、類似の部分は、図1と同じ符号である。異なる層が連続した構造を有する他の素子構造も使用されることができる。トランジスタ以外の素子も、類似の方法で形成されることができる。

【0116】

PEDOT/PSSは、溶媒から析出されることが可能なあらゆる導電性ポリマーに置き換えられることができる。例としてはポリアニリンやポリピロールが挙げられる。とはいえ、PEDOT/PSSのいくつかの魅力的な特徴は、(a) 本質的な低拡散率を有する重合による不純物、(b) 良好な温度安定および空気中における安定、および(c) 効率のよい正孔電荷キャリアインжекションを可能とするコモン正孔搬送導電性ポリマーのイオン化ポテンシャルに十分マッチされる5.1 eVの仕事関数である。

【0117】

効率のよい電荷キャリアインжекションは、特に、チャネル長さ $L < 10 \mu\text{m}$ を有するショートチャネルトランジスタ素子に極めて重要である。このような素子において、ソースドレイン接触抵抗効果は、小さなソースドレイン電圧のた

めのTFT電流を制限することがある（図10（b））。比較可能なチャネル長さの素子において、PEDOTソース／ドレイン電極からのインジェクションは、無機のゴールド電極からのインジェクションよりも一層効率のよいことが分かった。これは、半導電性のものに十分にマッチされるイオン化ポテンシャルを有する重合によるソース／ドレイン電極が、無機の電極物質より好ましいということを示している。

【0118】

水溶液(Baytron P)から析出されるPEDOT/PSSの導電率は、およそ $0.1-1\text{ S/cm}$ である。最大 100 S/cm の高い導電率は、溶媒の混合物（インプロパノールとN-メチル-2-ピロリドン(NMP)とを含有するBayer CPP 105T)を含有する組成で得られることが可能である。後者の場合、組成の溶媒組み合わせが層シーケンスの溶解度必要条件と融和性があることに注意を払う必要がある。一様に高い導電率を必要とする適用には、液体中の金属無機粒子のコロイド状サスペンションなどの他の導電性ポリマー、あるいは、溶液でプロセスするのに適した導体が使用されることができる。

【0119】

ここに記述されるプロセスおよび素子は、溶液で処理したポリマーで作られる素子に制限されるものではない。回路、あるいは、ディスプレイ素子（下記を参照）におけるTFTおよび／または内部接続部の導電性電極のいくつかは、例えば、コロイド状サスペンションのプリンティングによって、あるいは、事前パターン形成した基板に電気メッキすることによって析出されることが可能な無機導体から形成されることができる。すべての層が、溶液から析出されない素子において、素子の1つ以上のPEDOT/PSS部分は、真空析出導体などの不溶性導電性物質と置き換えられることができる。

【0120】

半導伝層は、さらに、別の溶液で処理するのに適した半導電性物質に置き換えられることができる。可能性として、可溶化側鎖を有する小さな共役分子(J.G. Laquindanum, et al., J. Am. Chem. Soc. 120, 664(1998))、溶液から自己集合される半導電性有機-無機ハイブリッド物質(C.R. Kagan, et al., Science 286

、946(1999))、あるいは、C d S e ナノ粒子などの溶液で析出した無機半導体(B . A. Ridley, et al., Science 286, 746(1999))が例として挙げられる。

【0121】

電極は、インクジェットプリンティングと異なる他のテクニックによってパターン形成されることができる。適切なテクニックとして、ソフトリトグラフプリンティング(J.A. Rogers et al., Appl. Phys. Lett. 75, 1010(1999); S. Brittain et al., Physics World May 1998, p. 31)、スクリーンプリンティング(W 0 99/10939参照)、あるいは、メッキ、あるいは、疎水性表面領域および親水性表面領域を有するパターン形成した基板の簡単なディップコーティングが挙げられる。インクジェットプリンティングは、特に、良抵抗でパターン形成する大きなエリアに、特に、フレキシブルなプラスチック基板に適していると考えられている。

【0122】

ガラスシートの代わりに、1つまたは複数の素子は、Perspexなどの別の基板物質に、あるいは、ポリエーテルスルホンなどのフレキシブルなプラスチック基板に析出されることができた。このような物質は、シート形状が好ましく、ポリマー物質であることが好ましく、そして、透明および/またはフレキシブルであるのがよい。

【0123】

素子および回路のすべての層およびコンポーネントは、溶液処理およびプリンティングテクニックによって析出され、かつ、パターン形成されることが好ましいが、半導電層などの1つ以上のコンポーネントは、さらに、真空析出テクニックによって析出、および/またはフォトリソグラフィックプロセスによってパターン形成されてもよい。

【0124】

上記に記述されるように作られるTFTなどの素子は、1つ以上のこのような素子が互いにおよび/または他の素子と一体化されることが可能な一層複雑な回路あるいは素子の一部分である。適用の例として、論理回路およびディスプレイあるいはメモリ素子のためのアクティブマトリックス回路構成、あるいは、ユーザ

一定義ゲートアレイ回路などが挙げられる。

【0125】

論理回路の基本コンポーネントは、図15に示されるインバータである。基板上のすべてのトランジスタが、空乏タイプか、あるいは、累積タイプかのいずれかである場合、3つの可能な構造が可能である。空乏負荷インバータ（図15（a））は、通常、（図1（c）および図3）である素子に適し、そして、エンハンスメント-負荷構造（図15（b））は、通常オフトランジスタ（図1（a/b）および図4）に使用される。2つの構造は、それぞれ、負荷トランジスタおよびそのソースのゲート電極とドレイン電極との間にピアホールを必要とする。別の構造は、抵抗負荷インバータ（図15（c））である。抵抗負荷インバータの素子は、負荷抵抗器のような適切な長さおよび導電率の薄くて、狭いPEDOTラインをプリンティングすることによって作られることが可能である。PEDOTの導電率を減少することによって、例えば、PEDOTに対するPSSの割合を増加することによって、抵抗器ラインの長さは最小にされることが可能である。0.4のPEDOT/（PEDOT+PSS）重量比を有するBaytron P PEDOT/PSSの導電率は、析出されたフィルムで、およそ0.2 S/cmであると測定された。N₂雰囲気下で20分間280℃にアニーリングすることによって、導電率は、2 S/cmに増加した。/PSSで溶液を希釈することによって、導電率は、マグニチュードだけ減少されることができた。0.04のPEDOT/（PEDOT+PSS）重量比では、10⁻³ S/cmの導電率が、280℃でアニーリング後測定された。50 MΩの抵抗を有する抵抗器は、およそ60 μmの幅と500 μmの長さを有するPEDOTのラインをインクジェットプリンティングすることによって作られた。

【0126】

開発された異なるインクジェットプリンティングコンポーネント、すなわち、トランジスタ、ピアホール内部接続部、抵抗器、キャパシタ、マルチ層内部接続機構などは、直接プリンティングおよび溶液処理の組み合わせによって一体化した電子回路を作るために一体化されることが可能である。インクジェットプリンティングは、横方向パターン形成が必要とされるすべての処理ステップに使用されることが可能である。上記に記述される簡単なインバータ回路は、一層複雑な

論理回路のための基礎単位である。

【0127】

上記に記述されるような溶液処理TFTsは、適切な回路が図18(a)に示されている液晶(LCD)ディスプレイ、あるいは、適切な回路が図18(b)に示されている電気泳動ディスプレイ(B. Coniskry et al., Nature 394, 253(1998))などのアクティブマトリックスディスプレイ；および、発光ダイオードディスプレイ(H. Sirringhaus, et al., Science 280, 1741(1998))のピクセルスイッチングトランジスタとして；あるいは、ランダムアクセスメモリ(RAM)などのメモリ素子のアクティブマトリックスアドレス指定エレメントとして使用されることができる。図18(a)および(b)では、トランジスタT1および/またはT2は、上記に記述されるようなトランジスタから形成されることができる。機能部40は、電流および電圧供給パッドを有するディスプレイ、あるいは、メモリエレメントを表わしている。

【0128】

LCD、あるいは、電気泳動ディスプレイの電極の電圧を制御するための可能な素子構造の例は、図19に示され、ここでは、類似の部分は図1と同じ符号である。図19の図面において(例えば、図7、図14および図17のように)、ゲート絶縁層は、図1(a)におけるように、拡散バリアおよび/または表面変更層を含有するマルチ層構造を含んでいる。

【0129】

図18を参照すると、TFTのソースおよびゲート電極2、3は、アクティブマトリックスのデータライン44とアドレス指定ライン43とに接続され、それは、長さ全長にわたり適切な導電率を達成するために、異なる導電性物質から作られている。TFTのドレイン電極3は、さらに、ピクセル電極41でもよい。ピクセル電極は、図19におけるように異なる導電性物質から形成されることができる。電荷キャリアインジェクションよりはむしろ電界の応用にたよる素子において、この電極41が、液晶インクあるいは電気泳動インクなどの直接コンタクトディスプレイエレメント40にあることは必要とされない。この構造において、TFTおよび内部接続ラインによって占められるトータルピクセルエリアは、適切

なアパーチャ比を達成して、ディスプレイエレメント40とデータおよびアドレス指定ライン43、44の信号との間のポテンシャルクロストークを減少するために、小さく保持される必要がある。

【0130】

図19(b)の構造は、一層複雑である。とはいえ、ピクセルエリアの全ピクセルあるいは大部分は、TFTおよび内部接続ラインのために使用可能であり、そして、ディスプレイエレメントは、ピクセル電極41によって、データライン44およびアドレス指定ライン43の信号からシールドされている。この構造の作成は、ピクセル電極41をTFTドレイン電極3に接続するために、追加の誘電層42と導電性物質45が充填されるピアホールとを必要とする。ピアホールは、上記に記述されるプロセスによって作られることが可能である。

【0131】

この構造において、アパーチャ比が、最大とされることが可能であり、かつ、100%アブローチすることができるとに留意してください。この構造は、さらに、ここで作られるような全ポリマーTFTが、可視スペクトル範囲において大いに透過するので、伝えることができるLCDディスプレイなどのバックライトを有するディスプレイ適用に使用されることが可能である。図20は、F8T2ポリマーTFTにおいて測定される光吸収スペクトルを示し、そこでは、ポリマー連鎖が、高解像度プリンティング用の事前パターン形成層としても作用するポリイミドアラインメント層に摩擦された液晶性半導電性ポリマーを一軸に整列されている。その素子は、F8T2の比較的高いバンドギャップのために、可視スペクトル範囲の大部分において大いに透過するということが分かっている。さらに良い透明性は、高いバンドギャップを有するF8、TFB、ポリフルオレン誘導体(米国第5,777,070号)などの半導電層が使用される場合、達成されることが可能である。ポリマー連鎖のアラインメントは、光学的異方性を生じさせ、そのために、アラインメント方向(“||”で標識付けされるプロット)に平行に偏光される光は、アラインメント方向(“⊥”で標識付けされるプロット)に直交して偏光される光よりも一層強く吸収される。光学的異方性は、さらに、ガラス製背面とバックライトとの間の偏光器に垂直なポリマー連鎖のアラインメント方向を方向付

けることによって、TFTの光学的透明性を増加するために、LCDディスプレイに使用されることが可能である。偏光された光のもとで、トランジスタ素子は、F8T2の層の厚さが500 Å以下である場合、可視光線においてほとんど無色である。PEDOTを含むTFTのすべての他の層は、可視スペクトル範囲において低い光学的吸収を有している。

【0132】

半導電層の光学的低吸収の別の利点は、可視光線に対する低下されたTFT特性の光電感度である。アモルファスシリコンTFTの場合、ブラックマトリックスは、光イルミネーションのもとで大きなオフ電流を防止するのに使用される必要がある。広いバンドギャップ半導体を有するポリマーTFTの場合、TFTを周囲光から、および、ディスプレイのバックライトから防止することを必要とされない。

【0133】

図19(b)の構造は、さらに、TFTのドライブ電流が、ピクセル電極41の真下の十分なエリアを使用する大きなチャネル幅Wを有するソースドレイン電極の互いに噛み合わされたアレイの作成によって、LEDディスプレイのドライブトランジスタT1(図18(b))に極めて適している。

【0134】

別の方法として、図17のボトムゲートTFT構造は、さらに、上記の適用のすべてに使用されることが可能である(図19(c))。

【0135】

アクティブマトリックス回路の作成のための重要な技術的論点の1つは、PEDOT/PSS TFTおよびピクセル電極2、3、6と、金属内部接続ライン43、44、41との間のコンタクトである。その強い酸性の性質のため、PEDOT/PSは、アルミニウムなどの多数のコモン無機金属と融和性がない。アルミニウムは、PEDOT/PSSと接触して容易に酸化される。1つの可能な解決法は、内部接続ラインおよびピクセル電極43、44、41をインジウム酸化スズ(ITO)、あるいは、タンタル、タングステン、および、他の耐火物金属、あるいは、この環境あるいは適切なバリア層の使用において一層の安定性を有する他の物質から作成することである。

【0136】

ディスプレイ適用の場合、さらに、上記に記述されるように、図19において10で示されている事前パターン形成された基板へのプリンティングによって、細いチャネル長さを有するTFTを作ることが望ましい。

【0137】

アクティブマトリックストランジスタスイッチのための類似の素子の構造は、制御されるピクセルエレメントが、ディスプレイエレメントでなく、例えば、ダイナミックランダムアクセスメモリにおけるように、キャパシタあるいはダイオードなどのメモリエレメントである場合、使用されることも可能である。

【0138】

導電性電極に加えて、TFTのいくつかの他の層は、さらに、スクリーンプリンティングあるいはインクジェットプリント(IJP)などの直接プリンティング方法によってパターン形成されることができる。図21(a)(類似の部分は図1のように符合されている)は、半導電層4およびゲート絶縁層5の活性層イランドが直接プリントされることができる素子を示している。この場合、ビアホールは必要とされないが、接続は、適切なゲート電極パターン6の直接プリンティングによって行われることが可能である。アドレス指定ライン43あるいは内部接続ライン44がオーバーラップするエリアにおいて、誘電ポリマー46の薄いアイランドは、電気絶縁を設けるべく、プリントされることができる(図21(b))。

【0139】

上記に記述されるように形成される複数の素子は、1つの基板に形成されて、導電層によって内部接続されることができる。この素子は、シングルレベルか、あるいは、1つのレベル以上かで形成されることができ、いくつかの素子は、他のトップの上に形成される。特に上記に記述されるような内部接続ストリップおよびビアホールを使用して、コンパクト回路配置が、形成される。

【0140】

インクジェットプリントされたトランジスタ、ビアホールおよび内部接続ラインの作成のためにここに開発されたテクノロジーは、インクジェットプリンティン

グによって、一体化された電子回路を作るのに使用されることができる。親水性表面領域および疎水性表面領域のアレイを含有する組み立て式基板が、トランジスタのチャネル長さおよび／または内部接続ラインの幅を画定するのに使用されることができる。その基板は、さらに、高導電性の金属性内部接続ラインのアレイを含有することができる。インクジェットプリンティングおよび溶液からの連続層の析出の組合せを使用して、トランジスタ素子のアレイは、カスタムロケーションにおいて、カスタムチャネル幅で画定される。一体化した回路は、次に、複数対のトランジスタと、ピアホールおよび導電ラインのインクジェットプリンティングを使用する適切な内部接続との間に電気接続を形成することによって、作られる。

【0141】

組み立てられた基板は、既にトランジスタ素子の1つ以上のコンポーネントを含有することができることも可能である。その基板は、例えば、それぞれが少なくとも1つの露呈した電極を有する完成した無機トランジスタ素子のアレイを含有することができる。この場合、一体化した回路のインクジェット作成は、複数対のトランジスタと、インクジェットプリントされたピアホール、内部接続ラインおよび分離パッドを使用するシングルレベル、または、マルチレベル内部接続機構の析出との間の電気接続の形成を備えている（図15（d）参照）。

【0142】

トランジスタ素子に加えて、電子回路は、さらに、ディスプレイ、メモリエlement、容量性Element、抵抗性Elementなどの別の活性回路Elementと、パッシブ回路Elementとを備えることができる。

【0143】

上記に記述されるテクニックを使用して、複数のトランジスタを有するユニットが形成され、次に、溶液利用処理によって、特定のその後の使用のために構成されることができる。例えば、ゲートアレイの形状で、図1（a）、（b）、あるいは、（c）に示されるタイプの複数のトランジスタ50を有する基板は、例えば、プラスチックシート上に形成されることができる（図22）。ダイオードあるいはキャパシタなどの別の素子は、さらに、シート上に形成されることがで

きる。次に、そのシートは、ビアホール 5 2 を形成するための適切な溶媒（例えば、メタノール）用のプリンティングヘッドと、導電トラック 5 3 を形成し、そして、ビアホールを充填するための適切な物質（例えば、PEDOT）とを有するインクジェットプリンタ内に配置される。インクジェットプリンタは、シート上のトランジスタのロケーションと構造とを認識する適切にプログラムされたコンピュータの制御のもとに作動可能である。次に、ビアホール組成と内部接続ステップとの組み合わせによって、インクジェットプリンタは、所望の方法でトランジスタを内部接続することによって、所望の電子機能あるいは論理機能を実行する回路を構成することが可能である。このテクノロジーは、その結果、小さくて、費用のかからない素子を使用して、基板上に論理特性回路を組成することを可能とする。

【0144】

このような回路の適用の例は、アクティブ電子チケット、旅行用携帯品および識別タグのプリンティングのためである。チケットあるいはタグプリンティング素子は、それぞれが複数のトランジスタを維持する基盤を備えている多数の構成されていないユニットを搭載されることができる。チケットプリンティング素子は、上記に記述されるようにインクジェットプリンタを制御することが可能で、そして、チケットの有効性機能を表示する電子回路を決定することが可能なコンピュータを含んでいる。チケットをプリントする必要があるとき、プリンティング素子は、ビアホールおよび／または導電性物質をプリントすることによって、適切な電子回路のための基板を構成し、そのために、基板上のトランジスタが、適切に構成される。その基板は、次に、例えば、接着性プラスチックシートで密閉することによって、カプセル封じされることが可能であり、電気接続ターミナル 5 4、5 5 を露呈させる。チケットは次に分配される。チケットが、確認されると、インプットが、1 つ以上のインプットターミナルに適応され、そして、1 つ以上のアウトプットターミナルの回路のアウトプットが、その機能性を立証するべく監視される。チケットは、チケットとしての使用に都合よくするために、フレキシブルなプラスチック基板上にプリントされることが好ましい。

【0145】

価格付けのため、あるいは、タグ付けのためより他のユーザー定義回路は、類似の方法で作られることができる。回路の立証および読み取りは、さらに、例えば、無線周波数放射を使用するリモートプロービングによって行われることができる (Physics World March 1999, page 31)。

【0146】

スタンダードアレイへの適切な接続の簡単なインクジェットプリンティングによって回路を画定するためのエンドユーザーの可能性は、工場でデザインされた回路と比較して、かなりの増加されたフレキシビリティを与えることである。

【0147】

本発明は、前述の例示に限定されるものではない。本発明の態様は、ここに記述される概念のすべての新規で、および／または発明力のある態様、または、ここに記述される特徴の発明力のある組み合わせを含んでいる。

【0148】

本発明が、上記に述べられるあらゆる定義の範囲に限定することなく、暗に、あるいは、明快に、あるいは、その総合のいずれかでここに開示されるすべての特徴、あるいは、特徴の組み合わせを含むことができるという事実に出願人は注意を引いている。前述の説明を鑑みて、様々な変更が本発明の範囲内で行われることができることは当業者には明らかである。

【図面の簡単な説明】

【図1】 溶液処理された全ポリマーTFTの異なる素子構成を示す。

【図2】 F8T2活性層、PVPゲート絶縁層、およびPEDOT/PSSゲート電極を有する図1 c によるポリマーTFTの伝達特性を示す。

【図3】 室温 (a) およびおよそ 50°C で付着されたF8T2活性層、PVPゲート絶縁層、およびPEDOT/PSSゲート電極を有する図1 c によるポリマーTFTの伝達特性を示す。

【図4】 図1 (a) におけるようなF8拡散バリアおよびPVP表面修正層を含むF8T2の全ポリマーTFTの出力 (a) および伝達特性 (b) を示す。

【図5】 TFB (a) およびポリスチレン (b) の拡散バリアおよびPVP表面修正層を有する図1 (a) におけるようなF8T2の全ポリマーTFTの伝達特性

を示す。

【図 6】 露出されたガラス基板上に直接印刷されたF8T2活性層およびソース・ドレイン電極を有する図 1 (a) による全ポリマーTFTの光学顕微鏡写真を示す。

【図 7】 基板表面を疎水性領域および親水性領域へのパターン化による小さいチャンネル長および小さい重複キャパシタンスを有するTFTの製造を示す。

【図 8】 疎水性ポリイミドバンクの近くのPEDOT/PSSソース／ドレイン電極のIJP付着の後の $L = 20 \mu\text{m}$ (a) および $L = 5 \mu\text{m}$ (b) を有するトランジスタのチャンネル領域の光学顕微鏡写真を示す。

【図 9】 ポリイミドバンクの近くのインクドロップレットの付着中撮影された光学顕微鏡写真を示す。

【図 10】 図 7 (c) におけるように形成され、 $L = 20 \mu\text{m}$ および $7 \mu\text{m}$ のそれぞれを有するトランジスタの出力および伝達特性を示している。

【図 11】 図 7 (c) におけるように形成され、 $L = 20 \mu\text{m}$ および $7 \mu\text{m}$ のそれぞれを有するトランジスタの出力および伝達特性を示している。

【図 12-1】 インクドロップレットの直径によって決まるビアホールの外径および内径の連続付着によりビアホールを形成する工程の (a) Dektakプロフィール測定および (b) 光学顕微鏡写真の概略図である。

【図 12-2】 ビアホールの外径および内径とインクジェットの液滴の直径とPVP層の厚さの関係を示す図である。

【図 13】 底部PEDOT電極および上部電極を有するビアホールを通る電流-電圧特性を示す。

【図 14】 ビアホールを製造する異なる工程を示す。

【図 15】 ロジックインバータ (デプレッション負荷 (a)、エンハンスメント負荷 (b) および抵抗負荷 (c) および多レベル内部接続方式 (d) のようなビアホールの応用を示す。

【図 16】 2つのトランジスタの異なるサイズ W/L の比を有する印刷された全ポリマーTFTで製造される図 1 (a) におけるようなエンハンスメント負荷インバータの特性を示す。

【図 1 7】 他の底部ゲート素子構成を示す。

【図 1 8】 ディスプレイあるいはメモリ素子が電圧（a）あるいは電流（b）によって制御されるアクティブマトリックスピクセルの概略図を示す。

【図 1 9】 アクティブマトリックスのピクセルの可能な構成を示す。

【図 2 0】 整列されたF8T2 TFTの偏光された光学吸収を示す。

【図 2 1】 （a）半導電性層および絶縁層の印刷によって製造されるパターン化された活性層アイランドを有するポリマー-TFTおよび印刷された絶縁アイランドによって分離された導電性内部接続部間の重複領域を示す。

【図 2 2】 ユーザ規定の電子回路を製造するために I J P 内部接続部の網によって接続されるトランジスタ素子のマトリックスを示している。

【図 1】

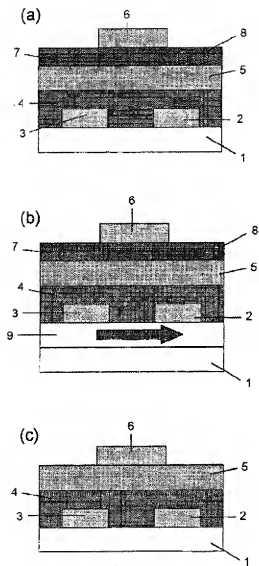


FIG. 1

【図 2】

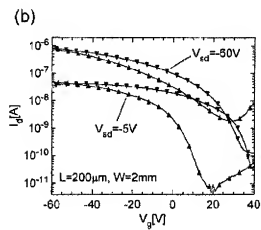
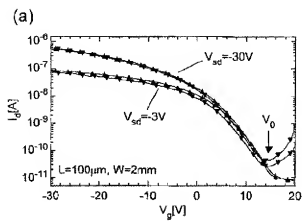
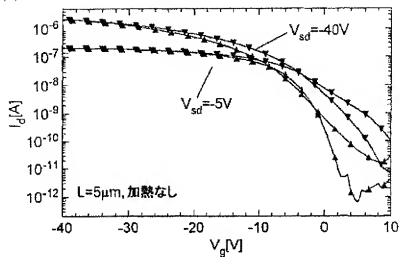


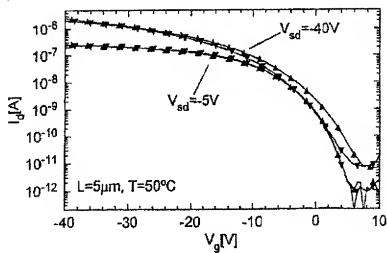
FIG. 2

【図 3】

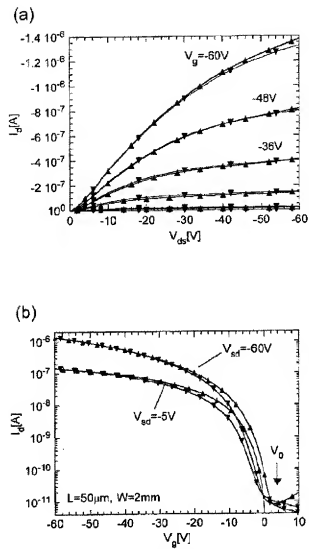
(a)



(b)

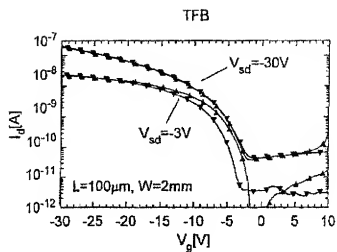


【 図 4 】

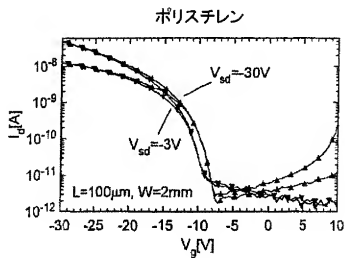


【図 5】

(a)



(b)



【図 6】

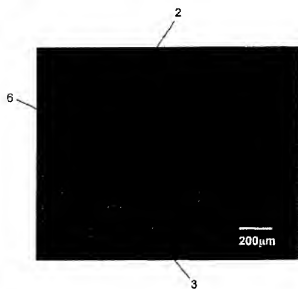
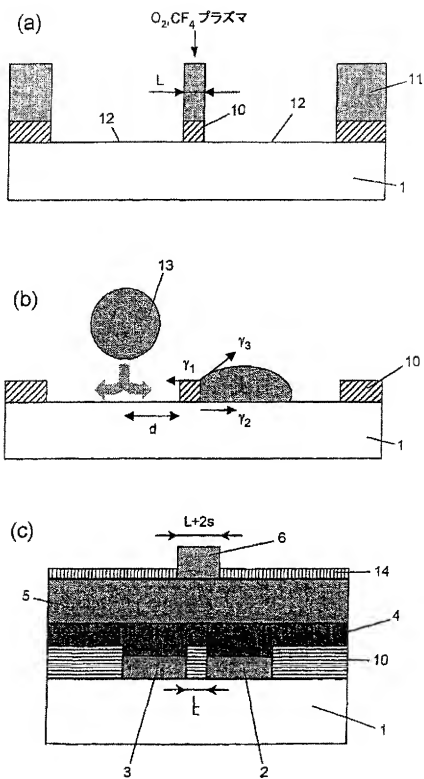


FIG. 6

【図 7】



【図 8】

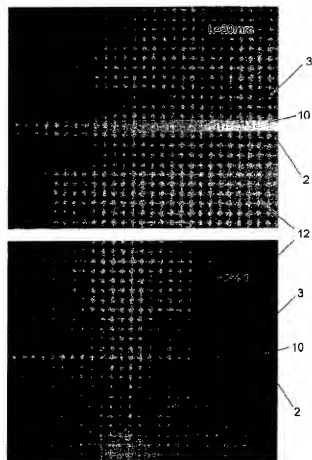


FIG. 8

【図9】

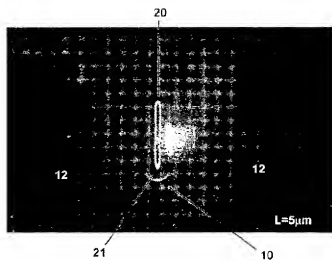


FIG. 9

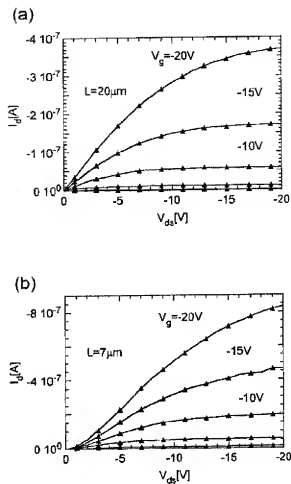


FIG. 10

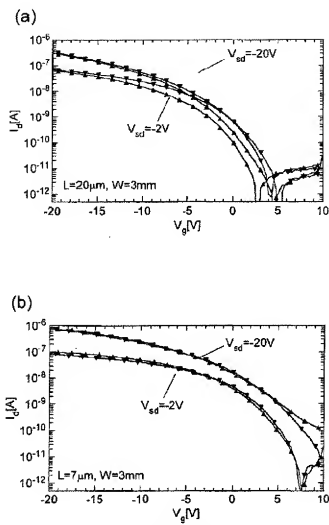
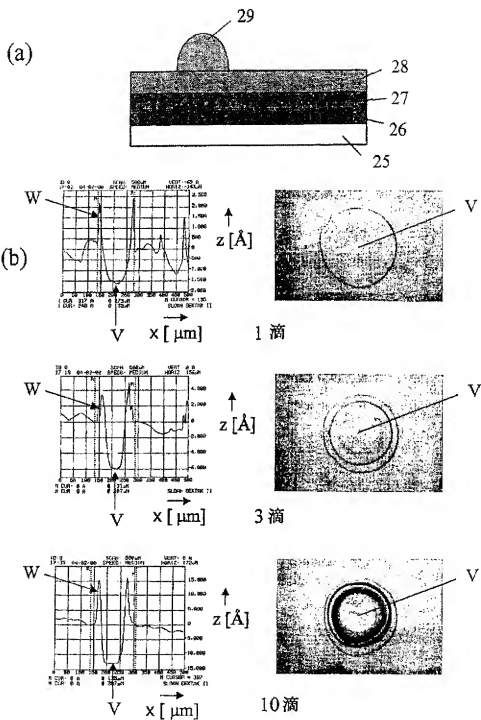
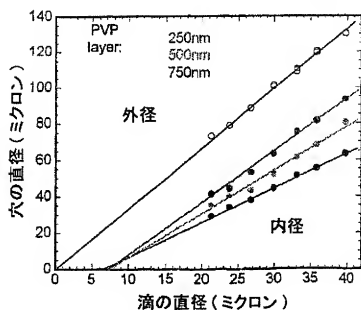
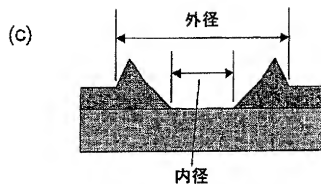


FIG. 11

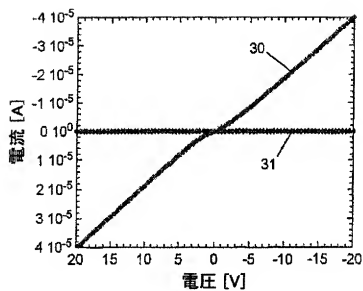
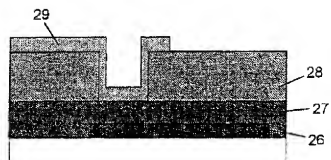
【図12-1】



【図 1 2 - 2】



【図13】



【図 14】

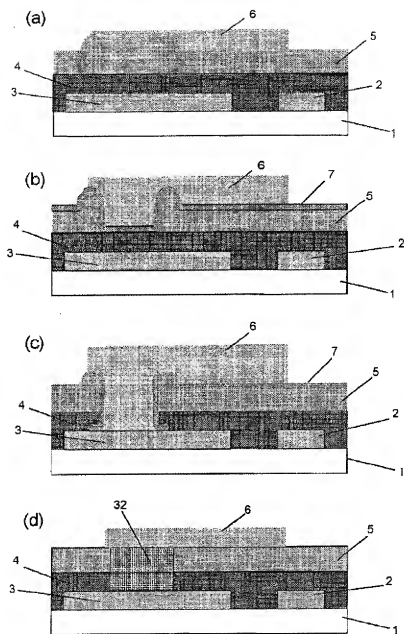


FIG. 14

【図 15】

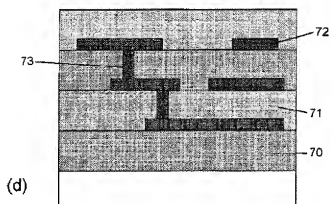
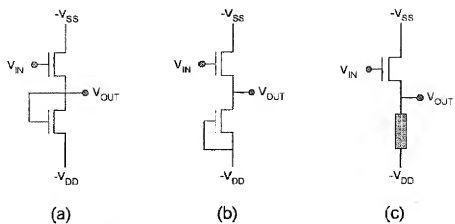
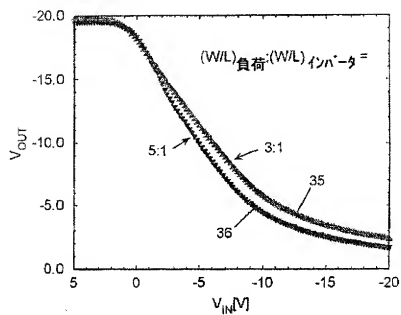


FIG. 15

【図 16】



【図 17】

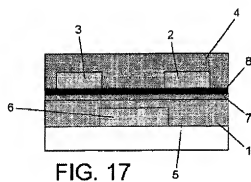


FIG. 17

【図 18】

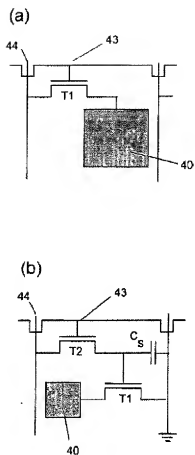


FIG. 18

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Appl. No.
PCT/JP 00/04942

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L51/40 H01L51/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

(Minimum documentation searched (classification system followed by classification symbols))

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

INSPEC, EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 892 028 A (SEIKO EPSON CORP) 20 January 1999 (1999-01-20) abstract; figures 1,5	1,11,51, 52
X	EP 0 459 243 A (MATSUSHITA ELECTRIC IND CO LTD) 5 February 1992 (1992-02-05) abstract; figures 1-4	1,11,51, 52
X	WO 99 21223 A (KATO TOMOO ;KIMURA KEIJI (JP); OLYMPUS OPTICAL CO (JP)) 29 April 1999 (1999-04-29)	51,52
A	the whole document	1,11

-/-

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is used to establish the priority date of another claim or other special reason (see specifically)

"O" document relating to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the (PCT) date of publication

"T" prior document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle on which underlying the invention

"X" document of particular relevance: the claimed invention cannot be classed in level or claimed be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combinations being deemed to be a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

9 February 2001

Date of mailing of the international search report

16/02/2001

Name and mailing address of the ISA
(European Patent Office, P.O. Box 5016, Pohlmann 2
D-52061 HV Pohlmann
Tel. (+49-170) 540-0240, fax (+49-170) 540-0241
Fax (+49-170) 540-0370

Authorized officer

Königstein, C

Form PCT/ISA(2) Revised sheet (July 1999)

INTERNATIONAL SEARCH REPORT

Int. or. Application No.
PCT/GB 00/04942

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DOOBALAPUR A ET AL: "ORGANIC SMART PIXELS" APPLIED PHYSICS LETTERS, US, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, vol. 73, no. 2, 13 July 1998 (1998-07-13), pages 142-144, XP000771188 ISSN: 0003-6951 the whole document	51, 52
A	WD 99 10939 A (KONINKL PHILIPS ELECTRONICS NV, PHILIPS AB (SE)) 4 March 1999 (1999-03-04) the whole document	
A	GB 2 330 451 A (THIN FILM TECHNOLOGY) 21 April 1999 (1999-04-21) the whole document	
A	DRURY C J ET AL: "LOW-COST ALL-POLYMER INTEGRATED CIRCUITS" APPLIED PHYSICS LETTERS, US, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, vol. 73, no. 1, 6 July 1998 (1998-07-06), pages 108-110, XP000771181 ISSN: 0003-6951	

Form PCT/ISA010 (continuation of standard form) (July 2002)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/GB 00/04942

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0892028 A	20-01-1999	JP 11040358 A	12-02-1999
		JP 11054270 A	26-02-1999
		CN 1220404 A	23-06-1999
EP 0469243 A	05-02-1992	JP 2507153 B	12-06-1996
		JP 4088678 A	23-03-1992
		US 5681442 A	25-10-1997
		US 5223331 A	29-06-1993
WO 9921223 A	29-04-1999	JP 11121585 A	30-04-1999
WO 9910939 A	04-03-1999	EP 0968537 A	05-01-2000
GB 2330451 A	21-04-1999	AU 9451098 A	03-05-1999
		EP 1027723 A	16-08-2000
		WO 9919900 A	22-04-1999

Non-PCT/GB(20) (patent family member) (GB) (386)

フロントページの続き

(51) Int. Cl.

H 0 1 L 29/417
29/786

識別記号

F I

H 0 1 L 29/78

「マーク」(参考)

6 1 6 K

6 1 6 V

B 4 1 J 3/04

1 0 1 Z

1 0 3 B

(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

(72) 発明者 川瀬 健夫

イギリス国 ケンブリッジ シービー 3

6 エイチワイ イーチャード ロード 18

Fターム(参考) 2C056 FB01

2C057 AH20 AJ05 AJ10
4M104 BB36 CC01 CC05 DD06 DD20
DD22 DD51 EE03 EE18 GG09
5F110 AA30 BB01 BB03 CC05 DD01
DD02 DD11 DD25 EE01 EE41
EE47 FF01 FF09 FF21 GG05
GG25 GG41 GG58 HK01 HK31
HL01 HL04 HL07 HL21 NN02
NN22 NN72 QQ06 QQ19

【要約の続き】

の第1の領域がないようにこの第1のゾーンの相対的な撥水性によって制限できる。